数据手册

Datasheet

MM32W0xxBnc

32 位基于 ARM Cortex M0 核心的微控制器

版本：1.83_n

目录

插图

表格

1 总介

总介

1.1 概述

本产品是超低功耗的单模蓝牙芯片，射频采用 2.4GHZ ISM 频段的频率，2MHz 信道间隔，符合蓝牙规范。本产品使用高性能的 ARM® Cortex^{TM}-M0 为内核的 32 位微控制器，最高工作频率可达 48MHz，内置高速存储器，丰富的增强型 I/O 端口和外设连接到外部总线。本产品包含 1 个 12 位的 ADC、2 个比较器、1 个 16 位通用定时器、1 个 32 位通用定时器、1 个 PWM 高级定时器、3 个 16 位基本定时器、还包含标准的通信接口：1 个 I2C 接口、1 个 SPI 接口、1 个 USB 接口、1 个 CAN 接口和 2 个 UART 接口。

本产品产品系列工作电压为 2.3V ~ 3.6V。多种省电工作模式保证低功耗应用的要求。

本产品提供 LQFP48 和 QFN32 共 2 种封装形式；根据不同的封装形式，器件中的外设配置不尽相同。

这些丰富的外设配置，使得本产品微控制器适合于多种应用场合：

- Beacon
- 无线键盘、鼠标
- 工业应用：工业遥控、遥测
- 警报系统、门禁系统、数据采集和传输系统

1.2 产品特性

- 内核与系统
  – 32 位 ARM® Cortex^{TM}-M0 处理器内核
  – 最高工作频率可达 48MHz
  – 单指令周期 32 位硬件乘法器
- 存储器
  – 高达 128K 字节的闪存程序存储器
  – 高达 8K 字节的 SRAM，用户可用字节 4K
  – Boot loader 支持片内 Flash、在线系统编程（ISP）
- 单模 BLE 射频收发机
  – 数据包处理引擎
  – GFSK 编码方式
  – 内部电压调节器保证 PSRR
  – 可编程发射功率范围：-28dBm ~ +4dBm
  – 1Mbps 空中数据传输
  – 优秀的射频链路预算：高达-80dBm
- 时钟、复位和电源管理

  - 2.3V ~ 3.6V 供电
  - 上电/断电复位（POR/PDR）、可编程电压监测器（PVD）
  - 射频模块外部 16MHz 高速晶体振荡器
  - 内嵌经出厂调校的 48MHz 高速振荡器
  - 内嵌 40KHz 低速振荡器
  - PLL 支持 CPU 最高运行在 48MHz
- 低功耗
  - 睡眠、停机和待机模式
- 1 个 12 位模数转换器，1μS 转换时间（多达 10 个输入通道）
  - 转换范围：0 ~ V_{DDA}
- 2 个比较器
- 5 通道 DMA 控制器
  - 支持的外设：Timer、UART、I2C、SPI 和 ADC
- 多达 28 个快速 I/O 端口：
  - 所有 I/O 口可以映像到 16 个外部中断
  - 部分端口可输入输出 5V 信号
- 调试模式
  - 串行单线调试（SWD）
- 多达 9 个定时器
  - 1 个 16 位定时器和 1 个 32 位定时器，有高达 4 个输入捕获/输出比较，可用于 IR 控制解码
  - 2 个 16 位定时器，有 1 个输入捕获/输出比较和 1 个 OCN，死区生成，紧急停止，调制器门电路用于 IR 控制
  - 1 个 16 位定时器，有 1 个输入捕获/输出比较
  - 2 个看门狗定时器（独立的和窗口型的）
  - 系统时间定时器：24 位自减型计数器
- 多达 6 个通信接口
  - 2 个 UART 接口
  - 1 个 I2C 接口
  - 1 个 SPI 接口
  - 1 个 CAN 接口
  - 1 个 USB device 接口
- 低成本外围元件 BOM 成本
- 96 位的芯片唯一 ID（UID）
- 采用 LQFP48 和 QFN32 封装

有关完整的本产品的详细信息，请参考本产品数据手册第2.2节。 有关 Cortex^{TM}-M0 核心的相关信息，请参考《Cortex^{TM}-M0 技术参考手册》。

2 规格说明

规格说明

2.1 器件对比

表 1. 产品功能和外设配置

外围接口 \ 产品型号		MM32W051/062/073PFB	MM32W051/062/073NTB
闪存 - K 字节		32/64/128	32/64/128
SRAM - K 字节		4/8/8	4/8/8
定时器	通用 (16 bit)	4	4
	通用 (32 bit)	1	1
	高级	1	1
通讯接口	UART	2	2
	I2C	1	1
	SPI	1	1
	USB	0/1/1	0/1/1
	CAN	0/1/1	0/1/1
GPIO 端口数		28	22
12 位 ADC	个数	1	1
	通道数 (channels)	10	7
比较器		2	
CPU 频率		48 MHz	
AES		YES	
工作电压		2.3V ~ 3.6V	
封装		LQFP48	QFP32

2.2 概述

2.2.1 ARM 的 Cortex™-M0 核心并内嵌闪存和 SRAM

ARM 的 Cortex™-M0 处理器是最新一代的嵌入式 ARM 处理器，它为实现 MCU 的需要提供了低成本的平台、缩减的引脚数目、降低的系统功耗，同时提供卓越的计算性能和先进的中断系统响应。

ARM 的 Cortex™-M0 是 32 位的 RISC 处理器，提供额外的代码效率，在通常 8 和 16 位

系统的存储空间上发挥了 ARM 内核的高性能。

本产品拥有内置的 ARM 核心，因此它与所有的 ARM 工具和软件兼容。

2.2.2 内置闪存存储器

最大 128K 字节的内置闪存存储器，用于存放程序和数据。

2.2.3 内置 SRAM

最大 8K 字节的内置 SRAM。

2.2.4 嵌套的向量式中断控制器（NVIC）

本产品内置嵌套的向量式中断控制器，能够处理多个可屏蔽中断通道（不包括 16 个 Cortex™-M0 的中断线）和 16 个可编程优先级。

- 紧耦合的 NVIC 能够达到低延迟的中断响应处理
- 中断向量入口地址直接进入内核
- 紧耦合的 NVIC 接口
- 允许中断的早期处理
- 处理晚到的较高优先级中断
- 支持中断尾部链接功能
- 自动保存处理器状态
- 中断返回时自动恢复，无需额外指令开销

该模块以最小的中断延迟提供灵活的中断管理功能。

2.2.5 外部中断/事件控制器（EXTI）

外部中断/事件控制器包含多个边沿检测器，用于产生中断/事件请求。每个中断线都可以独立地配置它的触发事件（上升沿或下降沿或双边沿），并能够单独地被屏蔽；有一个挂起寄存器维持所有中断请求的状态。EXTI 可以检测到脉冲宽度小于内部 APB2 的时钟周期。所有通用 I/O 口连接到 16 个外部中断线。

2.2.6 时钟和启动

系统时钟的选择是在启动时进行，复位时内部 48 MHz 的振荡器被选为默认的 CPU 时钟，随后可以选择外部的、具失效监控的 2～24 MHz 时钟。当检测到外部时钟失效时，它将被隔离，系统将自动地切换到内部的振荡器，如果使能了中断，软件可以接收到相应的中断。

多个预分频器用于配置 AHB 的频率、高速 APB（APB2 和 APB1）区域。AHB 和高速 APB 的最高频率是 48MHz。参考图 2的时钟驱动框图。

2.2.7 自举模式

在启动时，通过自举引脚可以选择三种自举模式中的一种：

- 从程序闪存存储器自举
- 从系统存储器自举
- 从内部 SRAM 自举

自举加载程序 (Boot loader) 存放于系统存储器中，可以通过 UART1 对闪存重新编程。

2.2.8 供电方案

- V_{DD} = 2.3V ~ 3.6V：V_{DD} 引脚为 I/O 引脚和内部调压器供电。
- V_{SSA}，V_{DDA}= 2.3V ~ 3.6V：为复位模块、振荡器和 PLL 的模拟部分提供供电。V_{DDA} 和 V_{SSA} 必须分别连接到 V_{DD} 和 V_{SS}。

2.2.9 供电监控器

本产品内部集成了上电复位 (POR)/掉电复位 (PDR) 电路，该电路始终处于工作状态，保证系统供电超过 1.8V 时工作；当 V_{DD} 低于设定的阈值 ($V_{POR/PDR}$) 时，置器件于复位状态，而不必使用外部复位电路。

器件中还有一个可编程电压监测器 (PVD)，它监视 V_{DD}/V_{DDA} 供电并与阈值 V_{PVD} 比较，当 V_{DD} 低于或高于阈值 V_{PVD} 时产生中断，中断处理程序可以发出警告信息或将微控制器转入安全模式。PVD 功能需要通过程序开启。

2.2.10 电压调压器

调压器将外部电压转成内部数字逻辑工作的电压，该调压器在复位后始终处于工作状态。

2.2.11 低功耗模式

产品支持低功耗模式，可以在要求低功耗、短启动时间和多种唤醒事件之间达到最佳的平衡。

睡眠模式

在睡眠模式，只有 CPU 停止，所有外设处于工作状态并可在发生中断/事件时唤醒 CPU。

停机模式

在保持 SRAM 和寄存器内容不丢失的情况下，停机模式可以达到最低的电能消耗。在停机模式下，HSI 的振荡器和 HSE 晶体振荡器被关闭。可以通过任一配置成 EXTI 的信号把微控制器从停机模式中唤醒，EXTI 信号可以是 16 个外部 I/O 口之一、PVD 的输出的唤醒信号。

待机模式

待机模式可实现系统的最低功耗。该模式是在 CPU 深睡眠模式时关闭电压调节器。内部所有的 1.5V 部分的供电区域被断开。PLL、HSI 和 HSE 振荡器也都关闭, 可以通过 WKUP 引脚的上升沿、NRST 引脚的外部复位、IWDG 复位唤醒或者看门狗定时器唤醒不复位。SRAM 和寄存器的内容将被丢失。

2.2.12 DMA

灵活的 5 路通用 DMA 可以管理存储器到存储器、设备到存储器和存储器到设备的数据传输；DMA 控制器支持环形缓冲区的管理，避免了控制器传输到达缓冲区结尾时所产生的中断。

每个通道都有专门的硬件 DMA 请求逻辑，同时可以由软件触发每个通道；传输的长度、传输的源地址和目标地址都可以通过软件单独设置。

DMA 可以用于主要的外设：用 UART、I2C、SPI、ADC 和通用/基本/高级控制定时器 TIMx。

2.2.13 定时器和看门狗

产品包含 1 个高级定时器、5 个通用定时器以及 2 个看门狗定时器和 1 个系统嘀嗒定时器。

下表比较了高级控制定时器、通用定时器和基本定时器的功能:

表 2. 定时器功能比较

定时器类型	Timer	计数器分辨率	计数器类型	预分频系数	DMA 请求生成	捕获/比较通道	互补输出
高级	TIM1	16 位	递增、递减、递增/递减	1 ~ 65536 之间的任意整数	有	4	有
通用	TIM2	32 位	递增、递减、递增/递减	$1 \sim 2^{32} - 1$ 之间的任意整数	有	4	无
	TIM3	16 位	递增、递减、递增/递减	1 ~ 65536 之间的任意整数	有	4	无
基本	TIM14	16 位	递增	1 ~ 65536 之间的任意整数	有	1	无
	TIM16 / TIM17	16 位	递增	1 ~ 65536 之间的任意整数	有	1	有

高级控制定时器（TIM1）

高级控制定时器是由 16 位计数器、4 个捕获/比较通道以及三相互补 PWM 发生器组成，它具有带死区插入的互补 PWM 输出，还可以被当成完整的通用定时器。四个独立的通道可以用于：

- 输入捕获
- 输出比较
- 产生 PWM(边缘或中心对齐模式)
- 单脉冲输出

配置为 16 位通用定时器时，它与 TIMx 定时器具有相同的功能。配置为 16 位 PWM 发生器时，它具有全调制能力 (0 ~ 100%)。

在调试模式下，计数器可以被冻结，同时 PWM 输出被禁止，从而切断由这些输出所控制的开关。

很多功能都与通用的 TIM 定时器相同，内部结构也相同，因此高级控制定时器可以通过定时器链接功能与 TIM 定时器协同操作，提供同步或事件链接功能。

通用定时器 (TIMx)

产品中，内置了多达 5 个可同步运行的通用定时器（TIM2、TIM3）。定时器有一个 32 位的自动加载递加/递减计数器、一个 16 位的预分频器和 4 个独立的通道，每个通道都可用

于输入捕获、输出比较、PWM 和单脉冲模式输出。

通用定时器 _32 位

定时器有一个 32 位的自动加载递加/递减计数器、一个 16 位的预分频器和 4 个独立的通道，每个通道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出。

通用定时器 _16 位

每个定时器有一个 16 位的自动加载递加/递减计数器、一个 16 位的预分频器和 4 个独立的通道，每个通道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出。

它们还能通过定时器链接功能与高级控制定时器共同工作，提供同步或事件链接功能。在调试模式下，计数器可以被冻结。任一通用定时器都能用于产生 PWM 输出。每个定时器都有独立的 DMA 请求机制。

这些定时器还能够处理增量编码器的信号，也能处理 1 ~ 4 个霍尔传感器的数字输出。每个定时器都 PWM 输出，或作为简单时间基准。

TIM14

该定时器基于一个 16 位自动重载递增计数器和一个 16 位预分频器。具有一个单通道，用于输入捕获/输出比较，PWM 或单脉冲模式输出。在调试模式下，其计数器可被冻结。

TIM16 / TIM17

定时器均基于一个 16 位自动重载递增计数器和一个 16 位预分频器。有一个单通道，用于输入捕获/输出比较，PWM 或单脉冲模式输出。有互补输出，带死区生成和独立 DMA 请求生成功能。在调试模式下，定时器处于关闭状态。

独立看门狗

独立的看门狗是基于一个 12 位的递减计数器和一个 8 位的预分频器，它由一个内部独立的 40KHz 的振荡器提供时钟；因为这个振荡器独立于主时钟，所以它可运行于停机和待机模式。它可以用在系统发生问题时复位整个系统或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。在调试模式下，看门狗被关闭。

窗口看门狗

窗口看门狗内有一个 7 位的递减计数器，并可以设置成自由运行。它可以被当成看门狗用于在发生问题时复位整个系统。它由主时钟驱动，具有早期预警中断功能；在调试模式下，看门狗被关闭。

系统时基定时器

这个定时器是专用于实时操作系统，也可当成一个标准的递减计数器。它具有下述特性：

- 24 位的递减计数器
- 自动重加载功能
- 当计数器为 0 时能产生一个可屏蔽系统中断
- 可编程时钟源

2.2.14 通用异步收发器 (UART)

UART 接口具有硬件的 CTS 和 RTS 信号管理。支持 LIN 主从功能。

所有 UART 接口都可以使用 DMA 操作。

2.2.15 I2C 总线

I2C 总线接口，能够工作于多主模式或从模式，支持标准和快速模式。

I2C 接口支持 7 位或 10 位寻址，7 位从模式时支持双从地址寻址。

2.2.16 串行外设接口 (SPI)

SPI 接口，在从或主模式下，可配置成每帧 1 ~ 32 位。

所有的 SPI 接口都可以使用 DMA 操作。

2.2.17 通用串行总线 (USB)

产品中内嵌一个兼容全速 USB 的设备控制器，遵循全速 USB 设备 (12 兆位/秒) 标准，端点可由软件配置。USB 专用的 48MHz 时钟由内部 PLL 或在常温内部时钟（HSI) 直接产生。

2.2.18 控制器区域网络 (CAN)

CAN 接口兼容规范 2.0A 和 2.0B(主动)，位速率高达 1 兆位/秒。它可以接收和发送 11 位标识符的标准帧，也可以接收和发送 29 位标识符的扩展帧。

2.2.19 通用输入输出接口 (GPIO)

每个 GPIO 引脚都可以由软件配置成输出 (推挽或开漏)、输入 (带或不带上拉或下拉) 或复用的外设功能端口。多数 GPIO 引脚都与数字或模拟的复用外设共用。所有的 GPIO 引脚都有大电流通过能力。

在需要的情况下，I/O 引脚的外设功能可以通过一个特定的操作锁定，以避免意外的写入 I/O 寄存器。

2.2.20 ADC(模拟/数字转换器)

产品内嵌 1 个 12 位的模拟/数字转换器 (ADC)，ADC 可用多达 10 个外部通道，可以实现单次、单周期和连续扫描转换。在扫描模式下，自动进行已选定的一组模拟输入上的采集值转换。

ADC 可以使用 DMA 操作。

模拟看门狗功能允许非常精准地监视一路或所有选中的通道，当被监视的信号超出预置的阈值时，将产生中断。

由通用定时器 (TIMx) 和高级控制定时器产生的事件，可以分别内部级联到 ADC 的触发，应用程序能使 ADC 转换与时钟同步。

2.2.21 串行单线 SWD 调试口 (SW-DP)

内嵌 ARM 的两线串行调试端口 (SW-DP)。

ARM 的 SW-DP 接口允许通过串行线调试工具连接到单片机。

2.2.22 比较器 (COMP)

产品内嵌 2 个比较器，可独立使用 (适用所有终端上的 I/O 口)，也可与定时器结合使用。也可用于多种功能，包括：

- 由模拟信号触发低功耗模式唤醒事件
- 调节模拟信号
- 定时器输出的 PWM 相结合，组成逐周期的电流控制回路
- 轨对轨比较器
- 每个比较器有可选门限
  - 可复用的 I/O 引脚
  - 内部比较电压 CRV 可选择 AVDD 或者内部基准电压的分压电压值
- 可编程迟滞电压
- 可编程的速率和功耗
- 输出端可以重定向到一个 I/O 端口或多个定时器输入端，可以触发以下事件：
  - 捕获事件
  - OCref_clr 事件（逐周期电流控制）
  - 为实现快速 PWM 关断的刹车事件

2.2.23 蓝牙低功耗广播

本芯片集成了蓝牙规范和射频收发器，兼容国际通信联盟无线电通信局定义的无需授权许可的 2.4GHz 的 ISM 频段。

为芯片供电后，射频收发外围只需搭建简单的外围元件即可实现无线收发功能。它提供高达-80dBm 的优秀的射频链路预算，整颗芯片停机电流低于 250uA。

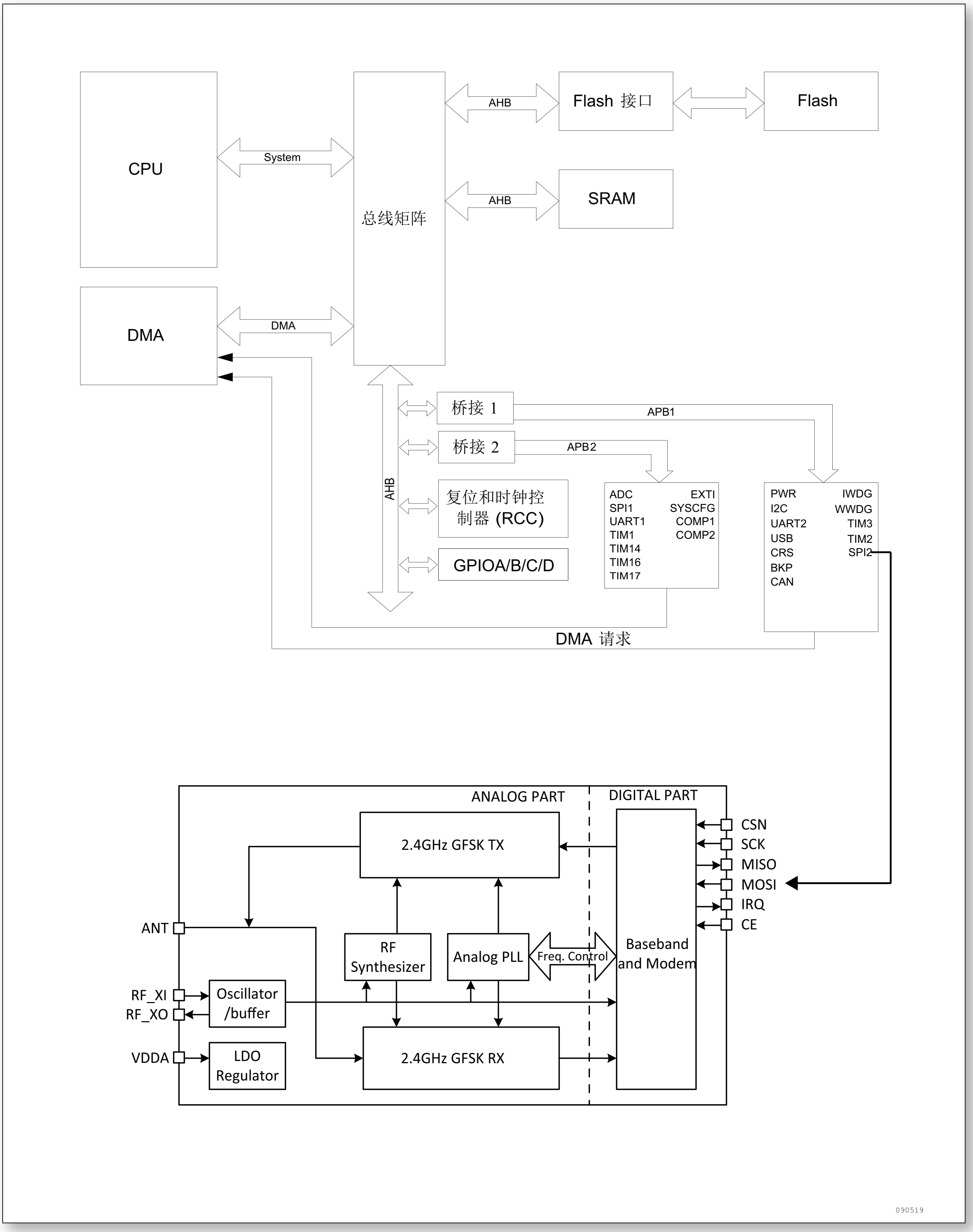
CPU
System
总线矩阵
AHB
Flash 接口
Flash
AHB
SRAM
DMA
DMA
桥接 1
APB1
桥接 2
APB2
AHB
复位和时钟控制器 (RCC)
GPIOA/B/C/D
ADC
SPI1
UART1
TIM1
TIM14
TIM16
TIM17
EXTI
SYSCFG
COMP1
COMP2
PWR
I2C
UART2
USB
CRS
BKP
CAN
IWDG
WWDG
TIM3
TIM2
SPI2
DMA 请求
ANALOG PART
DIGITAL PART
2.4GHz GFSK TX
ANT
RF Synthesizer
Analog PLL
Freq. Control
Baseband and Modem
RF_XI
RF_XO
Oscillator /buffer
VDDA
LDO Regulator
2.4GHz GFSK RX
CSN
SCK
MISO
MOSI
IRQ
CE
090519

图 1. 模块框图

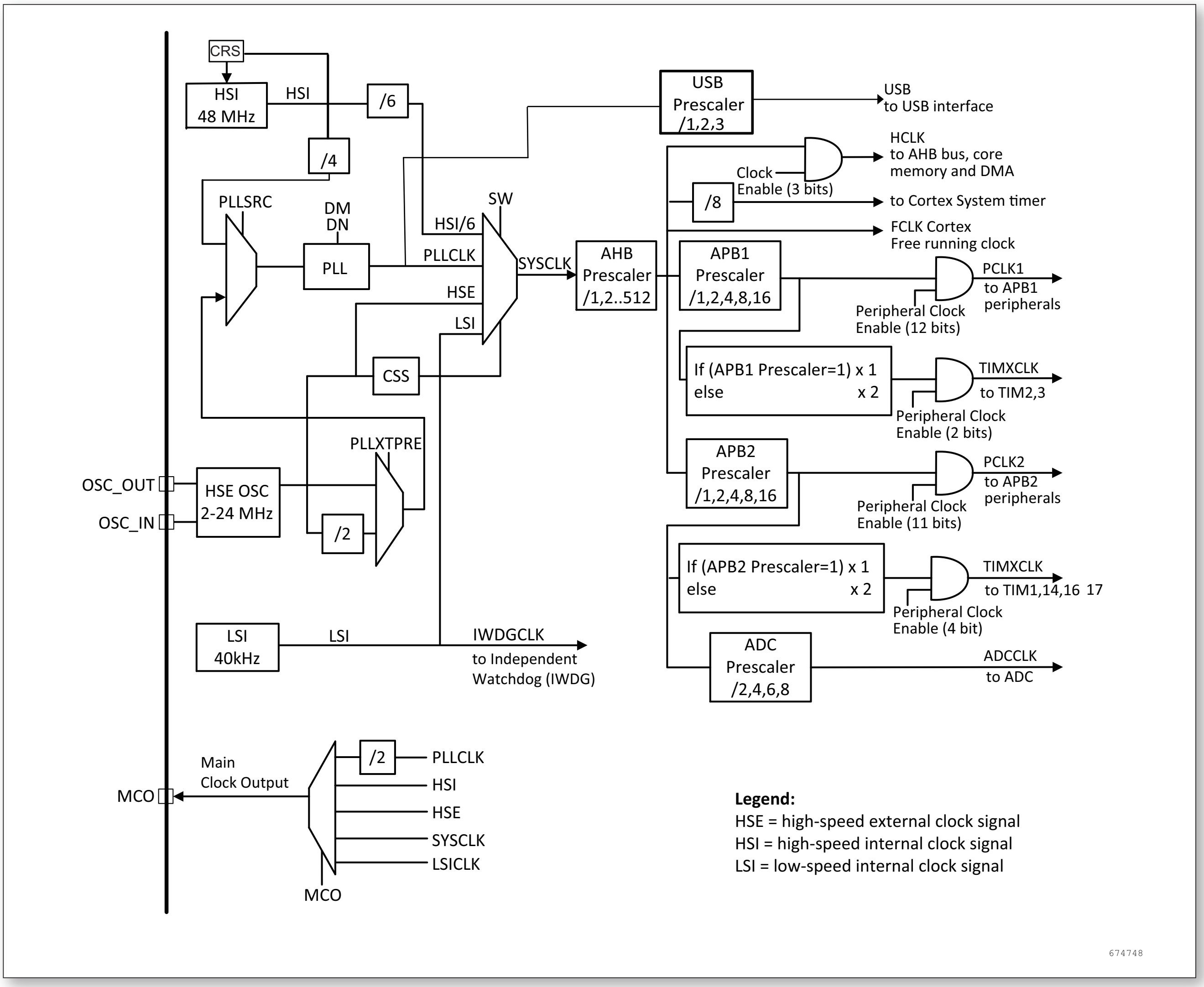
CRS
HSI
48 MHz
HSI
/6
/4
USB
Prescaler
/1,2,3
USB
to USB interface
HCLK
to AHB bus, core
memory and DMA
Clock
Enable (3 bits)
/8
to Cortex System timer
FCLK Cortex
Free running clock
PLLSRC
DM
DN
PLL
SW
HSI/6
PLLCLK
HSE
LSI
SYSCLK
AHB
Prescaler
/1,2..512
APB1
Prescaler
/1,2,4,8,16
PCLK1
to APB1
peripherals
Peripheral Clock
Enable (12 bits)
CSS
If (APB1 Prescaler=1) x 1
else x 2
TIMXCLK
to TIM2,3
Peripheral Clock
Enable (2 bits)
PLLXTPRE
OSC_OUT
OSC_IN
HSE OSC
2-24 MHz
/2
APB2
Prescaler
/1,2,4,8,16
PCLK2
to APB2
peripherals
Peripheral Clock
Enable (11 bits)
If (APB2 Prescaler=1) x 1
else x 2
TIMXCLK
to TIM1,14,16 17
Peripheral Clock
Enable (4 bit)
LSI
40kHz
LSI
IWDGCLK
to Independent
Watchdog (IWDG)
ADC
Prescaler
/2,4,6,8
ADCCLK
to ADC
Main
Clock Output
MCO
/2
PLLCLK
HSI
HSE
SYSCLK
LSICLK
MCO
Legend:
HSE = high-speed external clock signal
HSI = high-speed internal clock signal
LSI = low-speed internal clock signal
674748

图 2. 时钟树

3 引脚定义

引脚定义

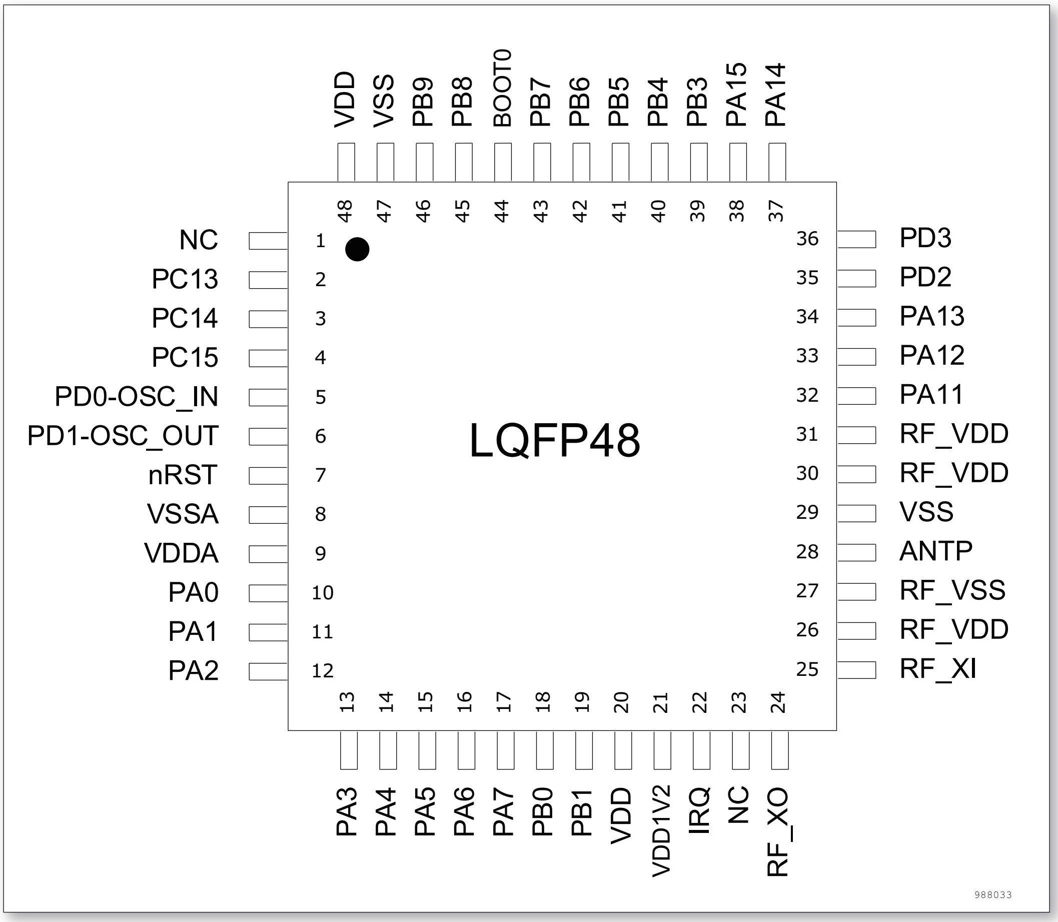

图 3. LQFP48 引脚分布

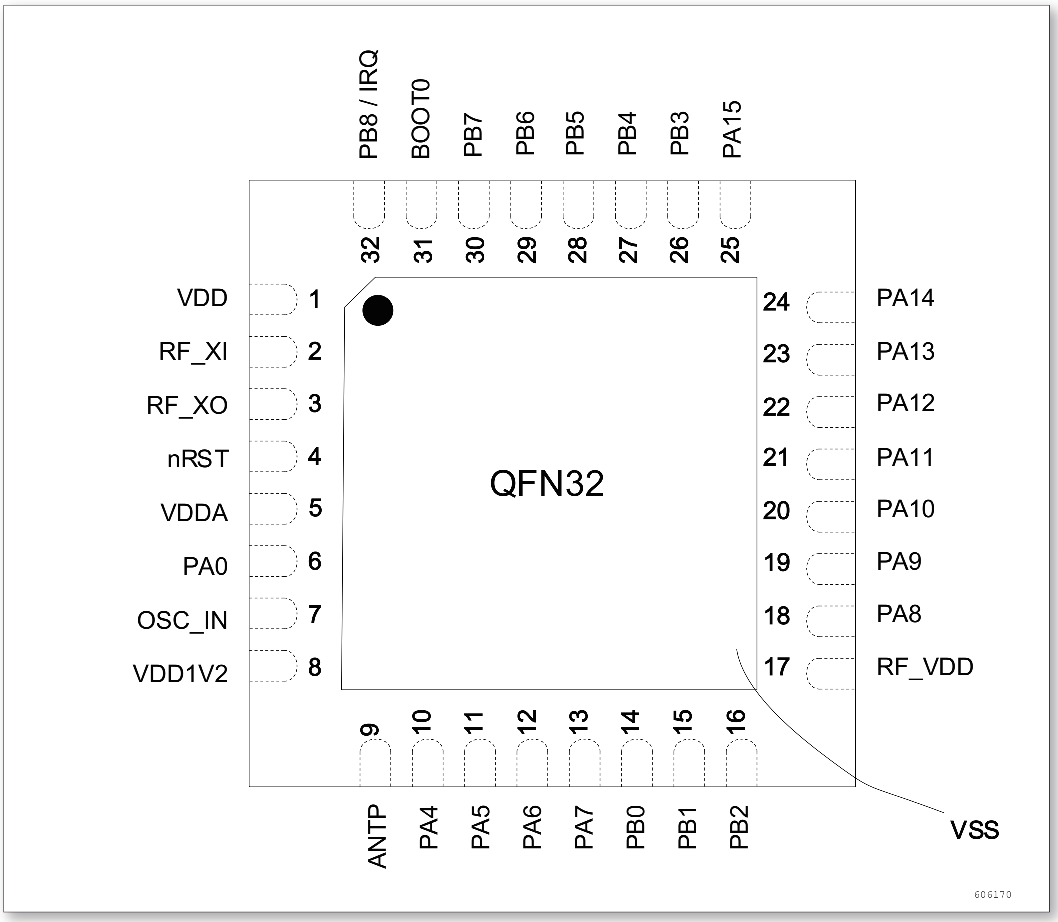

图 4. QFN32 引脚分布

表 3. LQFP48 引脚定义

引脚编码 LQFP48	引脚名称	类型 (1)	I/O 电平 (2)	主功能	可选的复用功能	附加功能
1	NC	S	-	NC	-	-
2	PC13	I/O	-	PC13	-	-
3	PC14	I/O	-	PC14	-	-
4	PC15	I/O	-	PC15	-	-
5	PD0 OSC_IN	I	-	OSC_IN	-	OSC_IN
6	PD1 OSC_OUT	O	-	OSC_OUT	-	OSC_OUT
7	nRST	I/O	-	nRST	-	-
8	VSSA	S	-	VSSA	-	-
9	VDDA	S	-	VDDA	-	-
10	PA0- WKUP	I/O	-	PA0	TIM2_CH1_ ETR/ UART2_CTS/ ADC_VIN[0]	WKUP/ COMP1_OUT

引脚编码 LQFP48	引脚名称	类型 (1)	I/O 电平 (2)	主功能	可选的复用功能	附加功能
11	PA1	I/O	-	PA1	TIM2_CH2/ UART2_RTS/ ADC_VIN[1]	-
12	PA2	I/O	-	PA2	TIM2_CH3/ UART2_TX/ ADC_VIN[2]	COMP2_OUT
13	PA3	I/O	-	PA3	TIM2_CH4/ UART2_RX/ ADC_VIN[3]	-
14	PA4	I/O	-	PA4	SPI1_NSS/ TIM14_CH1/ ADC_VIN[4]	-
15	PA5	I/O	-	PA5	SPI1_SCK/ TIM2_CH1_ETR/ ADC_VIN[5]	-
16	PA6	I/O	-	PA6	SPI1_MISO/ TIM3_CH1/ TIM16_CH1/ TIM1_BKIN/ ADC_VIN[6]	COMP1_OUT
17	PA7	I/O	-	PA7	SPI1_MOSI/ TIM3_CH2/ TIM1_CH1N/ TIM14_CH1/ TIM17_CH1/ ADC_VIN[7]	COMP2_OUT
18	PB0	I/O	-	PB0	TIM3_CH3/ TIM1_CH2N/ ADC_VIN[8]	-
19	PB1	I/O	-	PB1	TIM14_CH1/ TIM3_CH4/ TIM1_CH3N/ ADC_VIN[9]	-
20	VDD	S	-	VDD	-	-
21	VDD1V2	S	-	VDD1V2	-	-
22	IRQ	I/O	-	RF_IRQ	-	-
23	NC	S	-	NC	-	-

引脚编码 LQFP48	引脚名称	类型 (1)	I/O 电平 (2)	主功能	可选的复用功能	附加功能
24	RF_XO	O	-	RF_XO	-	-
25	RF_XI	I	-	RF_XI	-	-
26	RF_VDD	S	-	RF_VDD	-	-
27	RF_VSS	S	-	-	-	-
28	ANTP	-	-	ANTP	-	-
29	VSS	S	-	-	-	-
30	RF_VDD	S	-	RF_VDD	-	-
31	RF_VDD	S	-	RF_VDD	-	-
32	PA11	I/O	FT	PA11	UART1_CTS/ TIM1_CH4/ CAN_RX/ I2C1_SCL/ USBDM	COMP1_OUT
33	PA12	I/O	FT	PA12	UART1_RTS/ TIM1_ETR/ CAN_TX/ I2C1_SDA/ USBDP	COMP2_OUT
34	PA13	I/O	FT	PA13	SWDIO	-
35	PD2	I/O	FT	PD2	-	-
36	PD3	I/O	FT	PD3	-	-
37	PA14	I/O	FT	PA14	SWDCLK/ UART2_TX	-
38	PA15	I/O	FT	PA15	SPI1_NSS/ UART2_RX/ TIM2_CH1_ETR	-
39	PB3	I/O	FT	PB3	SPI1_SCK/ TIM2_CH2	-
40	PB4	I/O	FT	PB4	SPI1_MISO/ TIM3_CH1	-
41	PB5	I/O	FT	PB5	SPI1_MOSI/ TIM3_CH2/ TIM16_BKIN	-
42	PB6	I/O	FT	PB6	UART1_TX/ I2C1_SCL/ TIM16_CH1N	-

引脚编码 LQFP48	引脚名称	类型 (1)	I/O 电平 (2)	主功能	可选的复用功能	附加功能
43	PB7	I/O	FT	PB7	UART1_RX/ I2C1_SDA/ TIM17_CH1N	-
44	BOOT0	I	FT	BOOT0	-	-
45	PB8	I	FT	PB8	I2C1_SCL/ TIM16_CH1/ CAN_RX	-
46	PB9	I/O	FT	PB9	I2C1_SDA/ TIM17_CH1/ CAN_TX	-
47	VSS	S	-	VSS	-	-
48	VDD	S	-	VDD	-	-

注: LQFP48 封装的射频模块的 IRQ 引脚需要从板级连接控制模块的任意一个 GPIO 引脚。

表 4. QFN32 引脚定义

引脚编码 QFN32	引脚名称	类型 (1)	I/O 电平 (2)	主功能	可选的复用功能	附加功能
0	VSS	S	-	VSS	-	-
1	VDD	S	-	VDD	-	-
2	RF_XI	I	FT	RF_OSC_IN	-	RF_OSC_IN
3	RF_XO	O	FT	RF_OSC_OUT	-	RF_OSC_OUT
4	nRST	I/O	FT	nRST	-	-
5	VDDA	S	FT	VDDA		-
6	PA0-WKUP	I/O	-	PA0	UART2_CTS/ TIM2_CH1_ ETR/ ADC_VIN[0]	WKUP/ COMP1_OUT
7	OSC_IN	I	FT	OSC_IN	-	OSC_IN
8	VDD1V2	S	-	VDD1V2	-	-
9	ANTP	-	-	ANTP	-	-
10	PA4	I/O	FT	PA4	SPI1_NSS/ TIM14_CH1/ ADC_VIN[4]	-
11	PA5	I/O	FT	PA5	SPI1_SCK/ TIM2_CH1_ETR/ ADC_VIN[5]	COMP1_OUT

引脚编码 QFN32	引脚名称	类型 (1)	I/O 电平 (2)	主功能	可选的复用功能	附加功能
12	PA6	I/O	FT	PA6	SPI1_MISO/ TIM3_CH1/ TIM1_BKIN/ TIM16_CH1/ ADC_VIN[6]	COMP2_OUT
13	PA7	I/O	FT	PA7	SPI1_MOSI/ TIM3_CH2/ TIM1_CH1N/ TIM14_CH1/ TIM17_CH1/ ADC_VIN[7]	-
14	PB0	I/O	FT	PB0	TIM3_CH3/ TIM1_CH2N/ ADC_VIN[8]	-
15	PB1	I/O	FT	PB1	TIM14_CH1/ TIM3_CH4/ TIM1_CH3N/ ADC_VIN[9]	-
16	PB2	I/O	FT	PB2	-	-
17	RF_VDD	S	FT	RF_VDD	-	-
18	PA8	I/O	FT	PA8	TIM1_CH1/ MCO	-
19	PA9	I/O	FT	PA9	UART1_TX/ TIM1_CH2/ UART1_RX/ I2C1_SCL/ MCO	-
20	PA10	I/O	FT	PA10	TIM17_BKIN/ UART1_RX/ TIM1_CH3/ UART1_TX/ I2C1_SDA	-
21	PA11	I/O	FT	PA11	UART1_CTS/ TIM1_CH4/ CAN_RX/ I2C1_SCL/ USBDM	COMP1_OUT

引脚编码 QFN32	引脚名称	类型 (1)	I/O 电平 (2)	主功能	可选的复用功能	附加功能
22	PA12	I/O	FT	PA12	UART1_RTS/ TIM1_ETR/ CAN_TX/ I2C_SDA/ USBDP	COMP2_OUT
23	PA13	I/O	-	PA13	SWDIO	-
24	PA14	I/O	-	PA14	SWCLK/ UART2_TX	-
25	PA15	I/O	FT	PA15	TIM2_CH1_ETR/ SPI1_NSS/ UART2_RX	-
26	PB3	I/O	FT	PB3	TIM2_CH2/ SPI1_SCK	-
27	PB4	I/O	FT	PB4	TIM3_CH1/ SPI1_MISO	-
28	PB5	I/O	FT	PB5	TIM3_CH2/ SPI1_MOSI/ TIM16_CH1N	-
29	PB6	I/O	FT	PB6	UART1_TX/ I2C_SCL/ TIM16_CH1N	-
30	PB7	I/O	FT	PB7	UART1_RX/ I2C_SDA/ TIM17_CH1N	-
31	BOOT0	I	FT	BOOT0	-	-
32	PB8/IRQ	I/O	FT	PB8	-	-

1. I = 输入，O = 输出，S = 电源，HiZ = 高阻
2. FT: 容忍 5V，可输入 VDD 和 5V 之间的信号

表 5. PA 端口功能复用

Pin Name	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PA0	-	UART2_CTS	TIM2_CH1 _ETR	-	-	-	-	COMP1_OUT
PA4	SPI1_NSS	-	-	-	TIM14_CH1	-	-	-
PA5	SPI1_SCK	-	TIM2_CH1 _ETR	-	-	-	-	-
PA6	SPI1_MISO	TIM3_CH1	TIM1_BKIN	-	-	TIM16_CH1	-	COMP1_OUT

Pin Name	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PA7	SPI1_MOSI	TIM3_CH2	TIM1_CH1N	-	TIM14_CH1	TIM17_CH1	-	COMP2_OUT
PA8	MCO	-	TIM1_CH1	-	CRS_SYNC	-	-	-
PA9	-	UART1_TX	TIM1_CH2	UART1_RX	I2C1_SCL	MCO	-	-
PA10	TIM17_BKIN	UART1_RX	TIM1_CH3	UART1_TX	I2C1_SDA	-	-	-
PA11	-	UART1_CTS	TIM1_CH4	-	CAN_RX	I2C1_SCL	-	COMP1_OUT
PA12	-	UART1_RTS	TIM1_ETR	-	CAN_TX	I2C1_SDA	-	COMP2_OUT
PA13	SWDIO	-	-	-	-	-	-	-
PA14	SWDCLK	UART2_TX	-	-	-	-	-	-
PA15	SPI1_NSS	UART2_RX	TIM2_CH1_ETR	-	-	-	-	-

表 6. PB 端口功能复用

Pin Name	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PB0	-	TIM3_CH3	TIM1_CH2N	-	-	-	-	-
PB1	TIM14_CH1	TIM3_CH4	TIM1_CH3N	-	-	-	-	-
PB3	SPI1_SCK	-	TIM2_CH2	-	-	-	-	-
PB4	SPI1_MISO	TIM3_CH1	-	-	-	TIM17_BKIN	-	-
PB5	SPI1_MOSI	TIM3_CH2	TIM16_BKIN	-	-	-	-	-
PB6	UART1_TX	I2C1_SCL	TIM16_CH1N	-	-	-	-	-
PB7	UART1_RX	I2C1_SDA	TIM17_CH1N	-	-	-	-	-
PB8	-	I2C1_SCL	TIM16_CH1	-	CAN_RX	-	-	-
PB9	-	I2C1_SDA	TIM17_CH1	-	CAN_TX	-	-	-
PB10	-	I2C1_SCL	TIM2_CH3	-	-		-	-
PB11	-	I2C1_SDA	TIM2_CH4	-	-	-	-	-
PB12	SPI2_NSS	SPI2_SCK		SPI2_MOSI	SPI2_MISO		-	-
PB13	SPI2_SCK	SPI2_MISO		SPI2_NSS	SPI2_MOSI		-	-
PB14	SPI2_MISO	SPI2_MOSI		SPI2_SCK	SPI2_NSS		-	-
PB15	SPI2_MOSI	SPI2_NSS		SPI2_MISO	SPI2_SCK		-	-

注 1: PB12～PB15 仅用于内部控制模块和射频模块功能。

2: PB8 的 AF 功能只在 LQFP48 封装脚封装下使用。

表 7. PC/PD 端口功能复用

Pin Name	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PD0	CRS_SYNC	I2C1_SDA	-	-	-	-	-	-
PD1	-	I2C1_SCL	-	-	-	-	-	-

4 存储器映像

存储器映像

表 8. 存储器映像

总线	编址范围	大小	外设	备注
Flash	0x0000 0000 –0x0001 FFFF	128 KB	主闪存存储器，系统存储器或是 SRAM 有赖于 BOOT 的配置	
	0x0002 0000 –0x07FF FFFF	~ 128 MB	Reserved	
	0x0800 0000 –0x0801 FFFF	128 KB	Main Flash memory	
	0x0802 0000 –0x 1FFDFFFF	~ 256 MB	Reserved	
	0x1FFE 0000 –0x1FFE 01FF	0.5 KB	Protect bytes	
	0x1FFE 0200 –0x1FFE 0FFF	3 KB	Reserved	
	0x1FFE 1000 –0x1FFE 1BFF	3 KB	Security space	
	0x1FFE 1C00 –0x1FFF F3FF	~ 256 MB	Reserved	
	0x1FFF F400 –0x1FFF F7FF	1 KB	System memory	
	0x1FFF F800 –0x1FFF F80F	16 B	Option bytes	
	0x1FFF F810 –0x1FFF FFFF	~2 KB	Reserved	
SRAM	0x2000 0000 –0x2000 1FFF	8 KB	SRAM	
	0x2000 2000 –0x2FFF FFFF	~ 512 MB	Reserved	
APB1	0x4000 0000 –0x4000 03FF	1 KB	TIM2	
	0x4000 0400 –0x4000 07FF	1 KB	TIM3	
	0x4000 0800 –0x4000 0BFF	8 KB	Reserved	
	0x4000 2800 –0x4000 2BFF	1 KB	BKP	
	0x4000 2C00 –0x4000 2FFF	1 KB	WWDG	
	0x4000 3000 –0x4000 33FF	1 KB	IWDG	
	0x4000 3400 –0x4000 43FF	4 KB	Reserved	
	0x4000 4400 –0x4000 47FF	1 KB	UART2	
	0x4000 4800 –0x4000 4BFF	3 KB	Reserved	
	0x4000 5400 –0x4000 57FF	1 KB	I2C	
	0x4000 5800 –0x4000 5BFF	1 KB	Reserved	
	0x4000 5C00 –0x4000 5FFF	1 KB	USB	
	0x4000 6000 –0x4000 63FF	1 KB	Reserved	
	0x4000 6400 –0x4000 67FF	1 KB	CAN	
	0x4000 6800 –0x4000 6BFF	1 KB	Reserved	
	0x4000 6C00 –0x4000 6FFF	1 KB	CRS	

总线	编址范围	大小	外设	备注
APB1	0x4000 7000 -0x4000 73FF	1 KB	PWR	
	0x4000 7400 -0x4000 FFFF	35 KB	Reserved	
APB2	0x4001 0000 -0x4001 03FF	1 KB	SYSCFG	
	0x4001 0400 -0x4001 07FF	1 KB	EXTI	
	0x4001 0800 -0x4001 23FF	7 KB	Reserved	
	0x4001 2400 -0x4001 27FF	1 KB	ADC	
	0x4001 2800 -0x4001 2BFF	1 KB	Reserved	
	0x4001 2C00 -0x4001 2FFF	1 KB	TIM1	
	0x4001 3000 -0x4001 33FF	1 KB	SPI1	
	0x4001 3400 -0x4001 37FF	1 KB	DBGMCU	
	0x4001 3800 -0x4001 3BFF	1 KB	UART1	
	0x4001 3C00 -0x4001 3FFF	1 KB	COMP	
	0x4001 4000 -0x4001 43FF	1 KB	TIM14	
	0x4001 4400 -0x4001 47FF	1 KB	TIM16	
	0x4001 4800 -0x4001 4BFF	1 KB	TIM17	
	0x4001 4C00 -0x4001 7FFF	13 KB	Reserved	
AHB	0x4002 0000 -0x4002 03FF	1 KB	DMA	
	0x4002 0400 -0x4002 0FFF	3 KB	Reserved	
	0x4002 1000 -0x4002 13FF	1 KB	RCC	
	0x4002 1400 -0x4002 1FFF	3 KB	Reserved	
	0x4002 2000 -0x4002 23FF	1 KB	Flash 接口	
	0x4002 2400 -0x4002 5FFF	15 KB	Reserved	
	0x4002 6000 -0x4002 63FF	1 KB	Reserved	
	0x4002 6400 -0x47FF FFFF	~ 128 MB	Reserved	
	0x4800 0000 -0x4800 03FF	1 KB	GPIOA	
	0x4800 0400 -0x4800 07FF	1 KB	GPIOB	
	0x4800 0800 -0x4800 0BFF	1 KB	GPIOC	
	0x4800 0C00 -0x4800 0FFF	1 KB	GPIOD	
	0x4800 1000 -0x5FFF FFFF	~ 384 MB	Reserved	

5 典型应用电路

典型应用电路

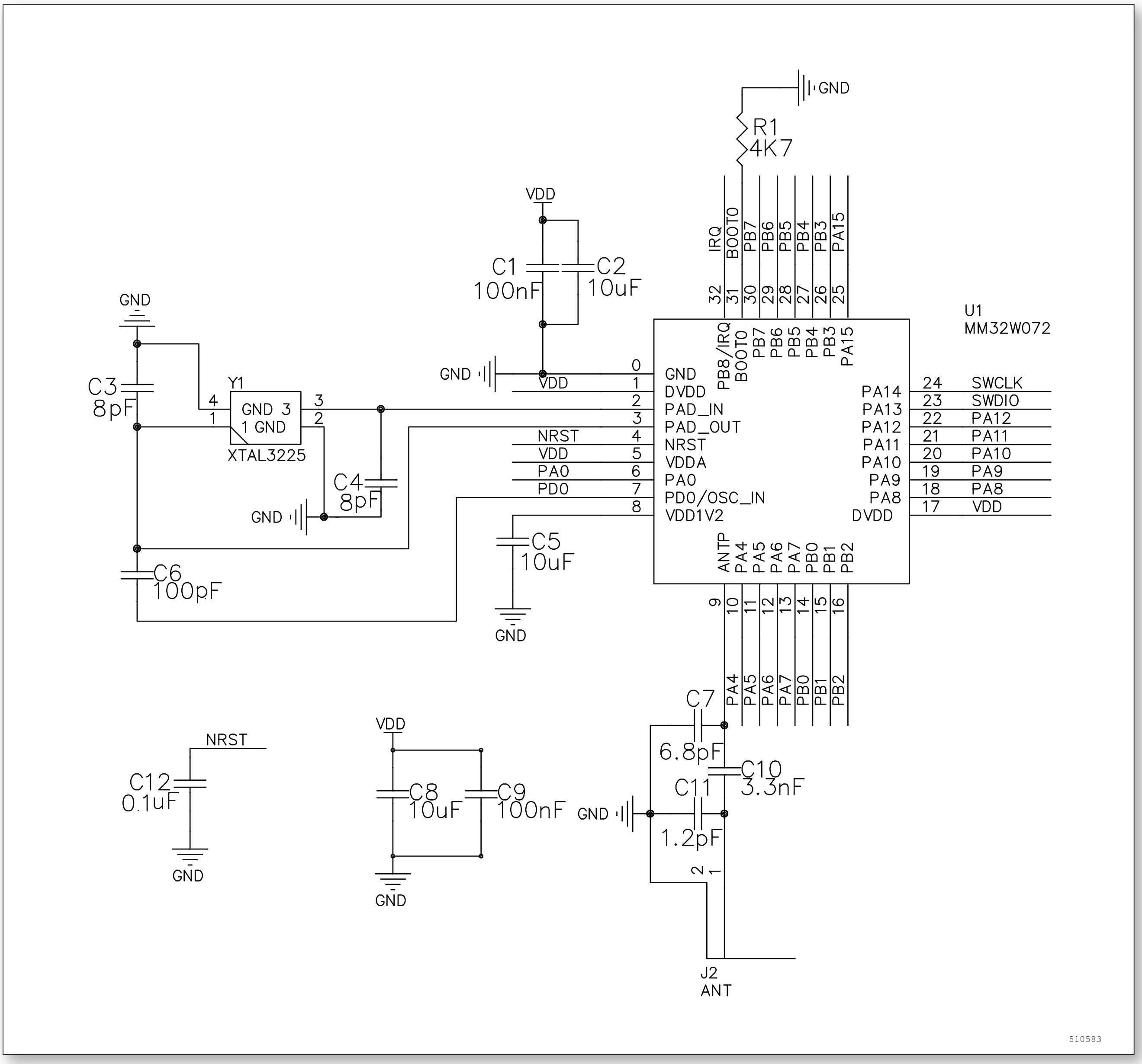

图 5. 典型应用电路

注：此典型应用电路采用射频模块和控制模块共用一个晶振方案，假如客户使用控制模块内部时钟，则无需添加 C6，且 Pin7 可做 GPIO 使用。

表 9. 外部组件列表

C1、C2、C8、C9	退耦滤波电容

C3、C4	晶振加载电容
C6	共用时钟电容
C5	1.2V 数字调节器退耦电容
C7、C11	射频变压器/匹配网络电容器
C10	通交阻直耦合电容
R1	启动方式选择电阻
Y1	16MHz 晶振（为射频模块和控制模块提供时钟来源）
J2	2.4G 射频天线

6 绝对最大额定值工作条件

绝对最大额定值工作条件

表 10. QFN32 封装绝对最大额定参数

Pin	Parameter	Value	Unit
1、5、17	控制模块直流-直流转换器电源电压输入和输出	-0.3 到 +3.6	V
2、3	射频模块直流电压晶振引脚	-0.3 到 +3.6	V
4	控制模块复位引脚	-0.3 到 +5.5	V
7	控制模块直流电压晶振引脚	-0.3 到 +5.5	V
8	射频模块数字电源 1.2V 电压输出	-0.3 到 +1.5	V
9	射频模块 2.4G 天线引脚		V
31	控制模块启动方式控制引脚	-0.3 到 +5.5	V
32	射频模块中断控制引脚	-0.3 到 +3.6	V
6、10、11、12、13、14、15、16、18、19、20、21、22、23、24、25、26、27、28、29、30	控制模块直流电压数字输入输出引脚	-0.3 到 +5.5	V

表 11. LQFP48 封装绝对最大额定参数

Pin	Parameter	Value	Unit
9、20、26、30、31、48	控制模块直流-直流转换器电源电压输入和输出	-0.3 到 +3.6	V
24、25	射频模块直流电压晶振引脚	-0.3 到 +3.6	V
7	控制模块复位引脚	-0.3 到 +5.5	V
5	控制模块直流电压晶振引脚	-0.3 到 +5.5	V
21	射频模块数字电源 1.2V 电压输出	-0.3 到 +1.5	V
28	射频模块 2.4G 天线引脚		V
44	控制模块启动方式控制引脚	-0.3 到 +5.5	V
22	射频模块中断控制引脚	-0.3 到 +3.6	V

Pin	Parameter	Value	Unit
2、3、4、5、6、10、11、12、13、14、15、16、17、18、19、32、33、34、35、36、37、38、39、40、41、42、43、45、46	控制模块直流电压数字输入输出引脚	-0.3 到 +5.5	V

7 电气特性

电气特性

7.1 测试条件

除非特别说明，所有电压都以 V_{SS} 为基准。所有性能均在 50Ω 天线连接器下测得。

7.1.1 最小和最大值

除非特别说明，最小和最大数值是在环境温度 T_A = 25°C，V_{DD} = 3.3V 下执行的测试。

7.1.2 典型数值

除非特别说明，典型数据是基于 T_A = 25°C 和 V_{DD} = 3.3V。这些数据仅用于设计指导而未经测试。

7.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

7.1.4 负载电容

测量引脚参数时的负载条件示于下图。

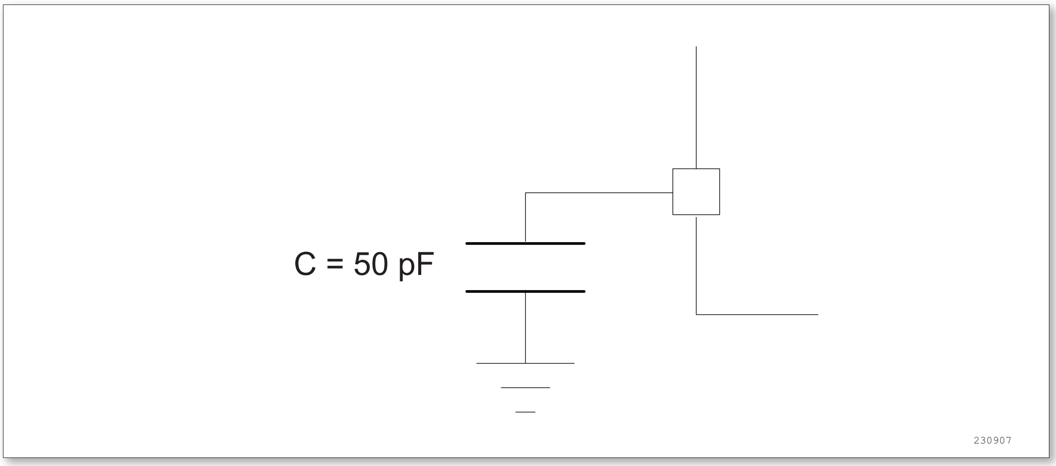

图 6. 引脚的负载条件

7.1.5 引脚输入电压

引脚上输入电压的测量方式示于下图。

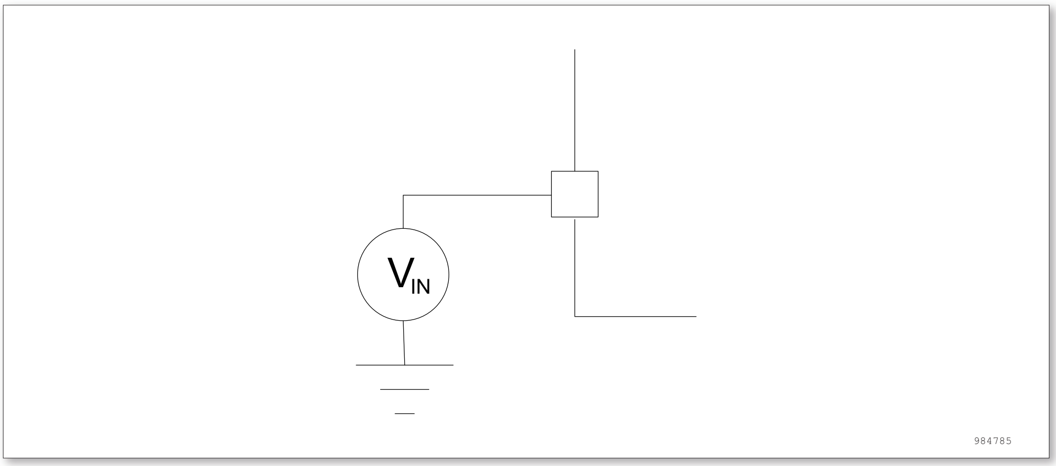

图 7. 引脚输入电压

7.1.6 供电方案

供电设计方案示于下图。

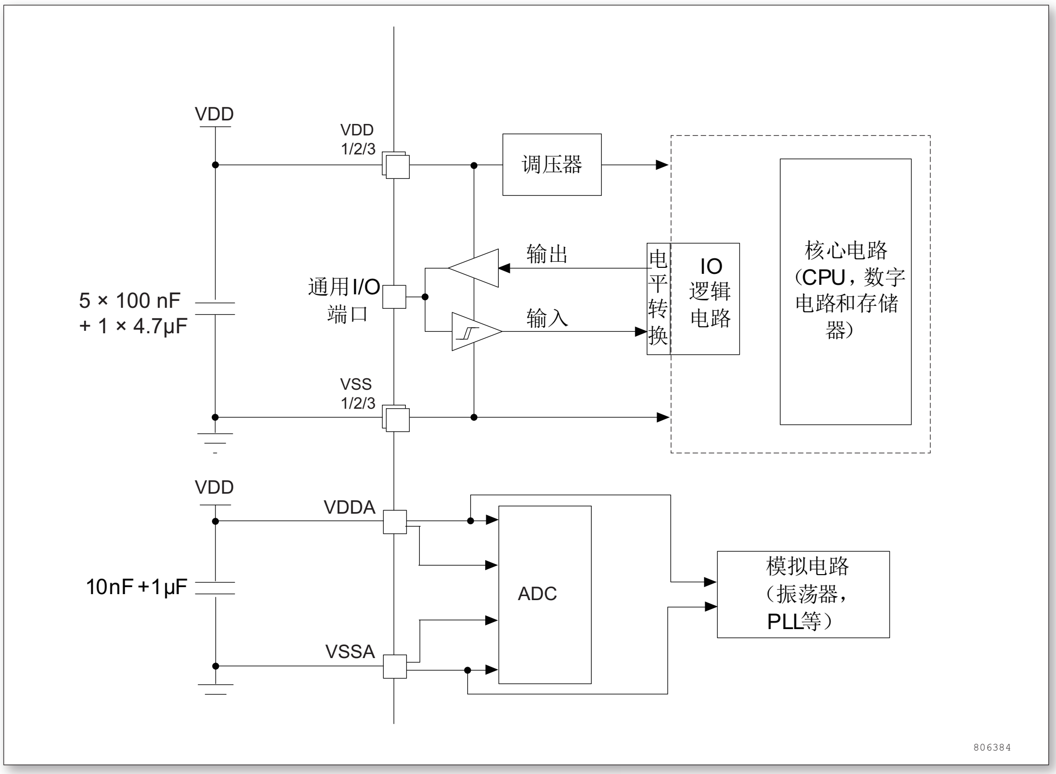

图 8. 供电方案

注：上图中的 4.7 μF 电容必须连接到 V_{DD3}

7.1.7 电流消耗测量

引脚上电流消耗的测量方式示于下图。

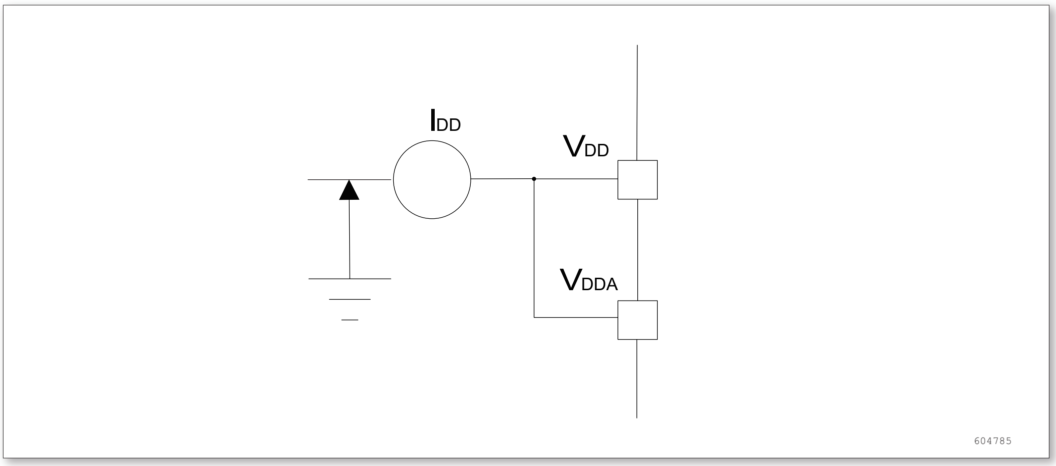

图 9. 电流消耗测量方案

7.2 RF 一般特性

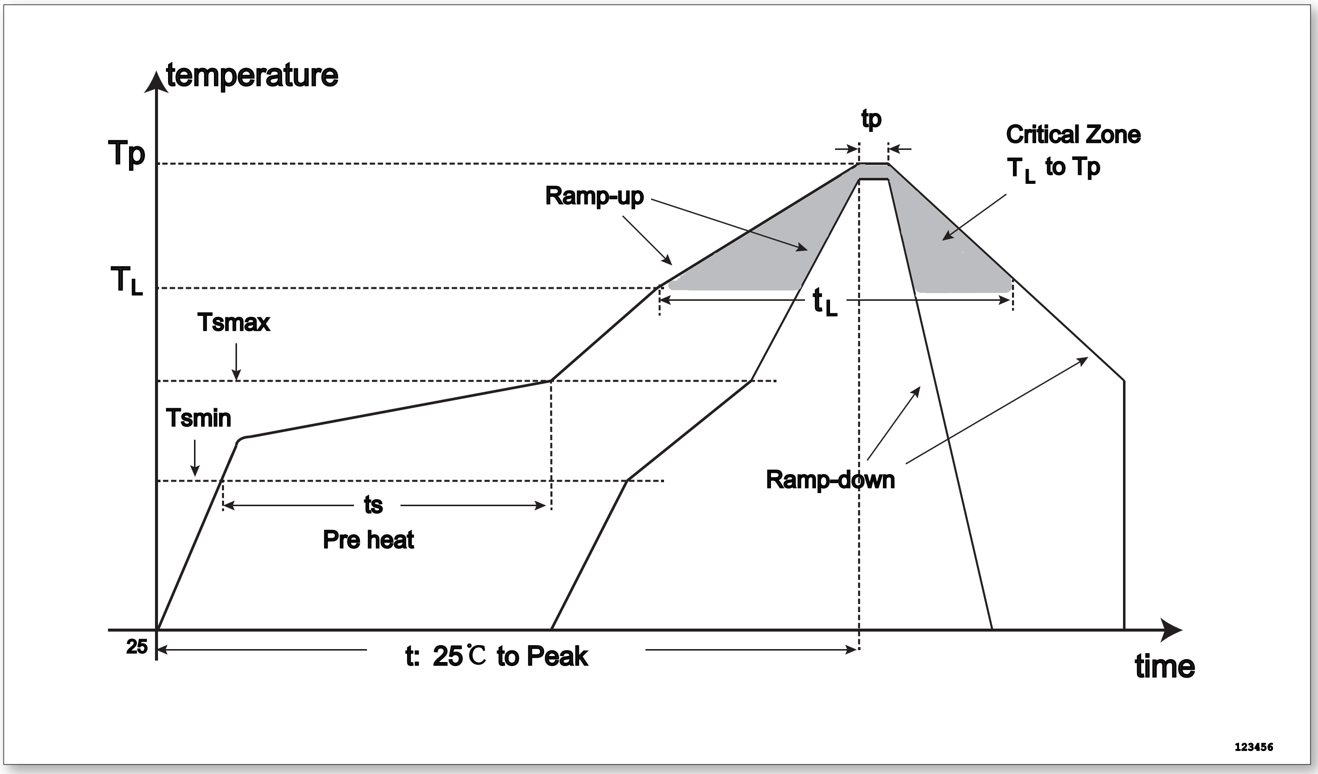

图 10. 射频性能参数

表 12. RF 一般特性

标注	参数	测试条件	最小值	典型值	最大值	单位
FREQ	频率变化	V_{DD} = 3.0V，T_A = 25°C	2400		2483.5	MHz
FC	信道间隔	V_{DD} = 3.0V，T_A = 25°C		2		MHz
RFch	RF 通道中心	V_{DD} = 3.0V，T_A = 25°C	2402		2480	MHz

7.3 RF 发射机特性

表 13. 射频发射机特性表

标注	参数	测试条件	最小值	典型值	最大值	单位
MOD	调制方式	GFSK				
BT	带宽			0.5		
M_{index}	调制指数		0.45	0.5	0.55	
DR	空气传输指数			1		Mbps
P_{max}	最大传输功率				+4	dBm
P_{BW1M}	6dB 带宽调制载波 (1Mbps)		500			KHz
P_{SPUR}	杂散发射				-41	dBm
CF_{dev}	中心频率偏移				±150	KHz
$Freq_{drift}$	频率漂移				±50	KHz
$IFreq_{drift}$	初始载波频率漂移				±20	KHz

7.4 RF 接收机特性

表 14. RF 接收机特性

标注	参数	测试条件	最小值	典型值	最大值	单位
RX_{SENS}	接收灵敏度	BER < 0.1%		-80		dBm

7.5 绝对最大额定值

加在器件上的载荷如果超过“绝对组最大额定值”列表 (表 15、表 16、表 17) 中给出的值，可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷，并不意味在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 15. 电压特性

符号	描述	最小值	最大值	单位
V_{DD} - V_{SS}	外部主供电电压 (包含 V_{DDA} 和 V_{SSA})(1)	- 0.3	3.6	V
V_{IN}	在 5 V 容忍的引脚上的输入电压 (2)	V_{SS} - 0.3	3.6	V
	在其它引脚上的输入电压 (2)	V_{SS} - 0.3	3.6	V
$\|\triangle V_{DDx}\|$	不同供电引脚之间的电压差		50	mV
$\|V_{SSx} - V_{SS}\|$	不同接地引脚之间的电压差		50	mV

1. 所有的电源 (V_{DD}, V_{DDA}) 和地 (V_{SS}, V_{SSA}) 引脚必须始终连接到外部允许范围内的供电系统上。
2. 必须始终遵循 V_{IN} 的最大值。有关允许的最大注入电流值的信息，请参见下表。

表 16. 电流特性

符号	描述	最大值	单位
I_{VDD}	经过 V_{DD}/V_{DDA} 电源线的总电流 (供应电流)(1)	150	mA
I_{VSS}	经过 V_{SS} 地线的总电流 (流出电流)(1)	150	
I_{IO}	任意 I/O 和控制引脚上的输出灌电流	20	
	任意 I/O 和控制引脚上的输出电流	-18	
$I_{INJ(PIN)}$ (2)(3)	NRST 引脚的注入电流	±5	mA
$I_{INJ(PIN)}$ (2)(3)	HSE 的 OSC_IN 引脚和 LSE 的 OSC_IN 引脚的注入电流	±5	mA
$I_{INJ(PIN)}$ (2)(3)	其他引脚的注入电流 (4)	±5	mA
$\Sigma I_{INJ(PIN)}$ (2)	所有 I/O 和控制引脚上的总注入电流 (4)	±25	mA

1. 所有的电源 (V_{DD}，V_{DDA}) 和地 (V_{SS}，V_{SSA}) 引脚必须始终连接到外部允许范围内的供电系统上。
2. $I_{INJ(PIN)}$ 绝对不可以超过它的极限，即保证 V_{IN} 不超过其最大值。如果不能保证 V_{IN} 不超过其最大值，也要保证在外部限制 $I_{INJ(PIN)}$ 不超过其最大值。当 $V_{IN} > V_{DD}$ 时，有一个正向注入电流；当 $V_{IN} < V_{SS}$ 时，有一个反向注入电流。
3. 反向注入电流会干扰器件的模拟性能。
4. 当几个 I/O 口同时有注入电流时，$\Sigma I_{INJ(PIN)}$ 的最大值为正向注入电流与反向注入电流的即时绝对值之和。该结果基于在器件 4 个 I/O 端口上 $\Sigma I_{INJ(PIN)}$ 最大值的特性。

表 17. 温度特性

符号	描述	最大值	单位
T_{STG}	储存温度范围	- 45 ~ + 150	°C
T_J	最大结温度	125	°C

7.6 工作条件

7.6.1 通用工作条件

表 18. 通用工作条件

符号	参数	条件	最小值	最大值	单位
f_{HCLK}	内部 AHB 时钟频率		0	48	MHz
f_{PCLK}	内部 APB 时钟频率		0	f_{HCLK}	
V_{DD}	标准工作电压		2.3	3.6	V
V_{DDA} (1)	模拟部分工作电压	必须与 V_{DD} 相同	2.3	3.6	V

符号	参数	条件	最小值	最大值	单位
P_D	功率耗散 温度：T_A=85°C(2)	LQFP48		594	mW
		QFN32			
T_A	环境温度：T_A=85°C	最大功率耗散	-25	85	°C
		低功率耗散 (3)	-25	105	
	环境温度：T_A=105°C	最大功率耗散	-25	85	°C
		低功率耗散 (3)	-25	105	

1. 建议使用相同的电源为 V_{DD} 和 V_{DDA} 供电。
2. 如果 T_A 较低，只要 T_J 不超过 T_{Jmax}(参见节 7.1)，则允许更高的 P_D 数值。
3. 在较低的功率耗散的状态下，只要 T_J 不超过 T_{Jmax}(参见节 7.1)，T_A 可以扩展到这个范围。

7.6.2 上电和掉电时的工作条件

下表中给出的参数是在一般的工作条件下测试得出。

表 19. 上电和掉电时的工作条件

符号	参数	条件	最小值	最大值	单位
t_{VDD}	V_{DD} 上升速率	T_A = 27°C	0	∞	μS/V
	V_{DD} 下降速率		20	∞	

7.6.3 内嵌复位和电源控制模块特性

下表中给出的参数是依据表 18列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 20. 内嵌复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{PVD}	可编程的电压检测器的电平选择	PLS[3：0]=0000(上升沿)	1.813	1.819	1.831	V
		PLS[3：0]=0000(下降沿)		1.705		V
		PLS[3：0]=0001(上升沿)	2.112	2.116	2.124	V
		PLS[3：0]=0001(下降沿)		2.0		V
		PLS[3：0]=0010(上升沿)	2.411	2.414	2.421	V
		PLS[3：0]=0010(下降沿)		2.297		V
		PLS[3：0]=0011(上升沿)	2.711	2.714	2.719	V
		PLS[3：0]=0011(下降沿)		2.597		V
		PLS[3：0]=0100(上升沿)	3.011	3.013	3.018	V
		PLS[3：0]=0100(下降沿)		2.895		V
		PLS[3：0]=0101(上升沿)	3.311	3.313	3.317	V
		PLS[3：0]=0101(下降沿)		3.194		V
$V_{PVDhyst}$(2)	PVD 迟滞			100		mV
$V_{POR/PDR}$	上电/掉电复位阈值	下降沿	1.63(1)	1.66	1.68	V
		上升沿		1.75		V

符号	参数	条件	最小值	典型值	最大值	单位
V_{PDRhys}(2)	PDR 迟滞			90.9		mV
$T_{RSTTEMPO}$(2)	复位持续时间			TBD		ms

1. 产品的特性由设计保证至最小的数值 $V_{POR/PDR}$。
2. 由设计保证，不在生产中测试。

注：复位持续时间的测量方法为从上电 (POR 复位) 到用户应用代码读取第一条指令的时刻。

7.6.4 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

电流消耗的测量方法说明，详见图 9。

本节中给出的所有运行模式下的电流消耗测量值，都是在执行一套精简的代码。

最大电流消耗

微控制器处于下列条件：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上—V_{DD} 或 V_{SS}(无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率 (0 ~ 24 MHz 时为 0 个等待周期, 24 ~ 48 MHz 时为 1 个等待周期)。
- 指令预取功能开启。当开启外设时：f_{PCLK1} = f_{HCLK}。

注：指令预取功能必须在设置时钟和总线分频之前设置。

表 21. 功耗参数

外部提供 3.3V 的直流电压						
标注	参数	测试条件	最小值	典型值	最大值	单位
I	Supply Current	MCU @ STANDBY mode, RF block @ STANDBY mode	0.008	0.019	0.022	mA
		MCU @ STOP mode, RF block @ STANDBY mode		0.195	0.200	
		MCU @ STOP mode, RF block @ STOP mode	0.242	0.258	0.269	
		MCU @ SLEEP mode, RF block @ STOP mode		4.8	5.3	
		MCU @ ACTIVE mode, RF block @ RX mode	29.07	29.612	30.54	

外部提供 3.3V 的直流电压							
标注	参数	测试条件		最小值	典型值	最大值	单位
I	Supply Current	MCU @ ACTIVE, RF block @ TX mode	-3dBm		23		mA
			0dBm		28		
			+3dBm		33.84		
			+3dBm		35.15		

1. TX, RX 所测功耗参数为使用 HSI 为时钟源，且配置为 f_{HCLK} = 48MHZ, f_{APB1} = f_{HCLK}/2, f_{APB2} = f_{HCLK}，基于 T_A = 25°C 和 V_{DD} = 3.3V 所测得的值。

内置外设电流消耗

内置外设的电流消耗列于表 22,MCU 的工作条件如下：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上—V_{DD} 或 V_{SS}(无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 给出的数值是通过测量电流消耗计算得出
  - 关闭所有外设的时钟
  - 只开启一个外设的时钟
- 环境温度和 V_{DD} 供电电压条件列于表 18。

表 22. 外围电流消耗

外设	典型电流消耗 V_{DD} = 3.0V，T_A = 25°C	单位
GPIOA	0.26	mA
GPIOB	1.0	
GPIOD	0.14	
UART1	0.45	
USB	1.9	
I2C	0.71	

7.6.5 外部时钟源特性

来自外部振荡源产生的高速外部用户时钟

下表中给出的特性参数是使用一个高速的外部时钟源测得，环境温度和供电电压符合通用工作条件。

表 23. 高速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSE_ext}	用户外部时钟频率 (1)		2	8	24	MHz
V_{HSEH}	OSC_IN 输入引脚高电平电压		0.7V_{DD}		V_{DD}	V
V_{HSEL}	OSC_IN 输入引脚低电平电压		V_{SS}		0.3V_{DD}	V
$t_{w(HSE)}$	OSC_IN 高或低的时间 (1)		16			ns
$t_{r(HSE)}$	OSC_IN 上升的时间 (1)				20	ns

符号	参数	条件	最小值	典型值	最大值	单位
$t_{f(HSE)}$	OSC_IN 下降的时间 (1)				20	ns
$C_{in(HSE)}$	OSC_IN 输入容抗 (1)			5		pF
$DuCy_{(HSE)}$	占空比		45		55	%
I_L	OSC_IN 输入漏电流	$V_{SS} \le V_{IN} \le V_{DD}$			±1	µA

表 24. 射频模块高速晶体时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{NOM}	标称频率			16		MHz
V_{TOL}	频率公差	负载电容、温度			±50	ppm
ESR	等效串联				100	Ω
PD	驱动水平				20	mA

1. 由设计保证，不在生产中测试。

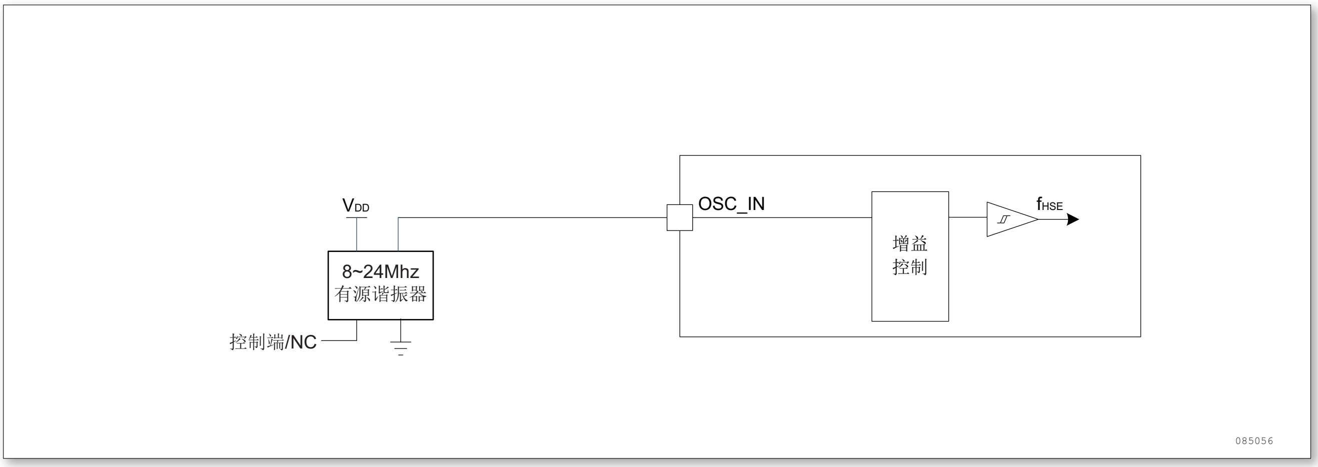

图 11. 控制模块使用 8 ~ 24MHz 晶体的典型应用

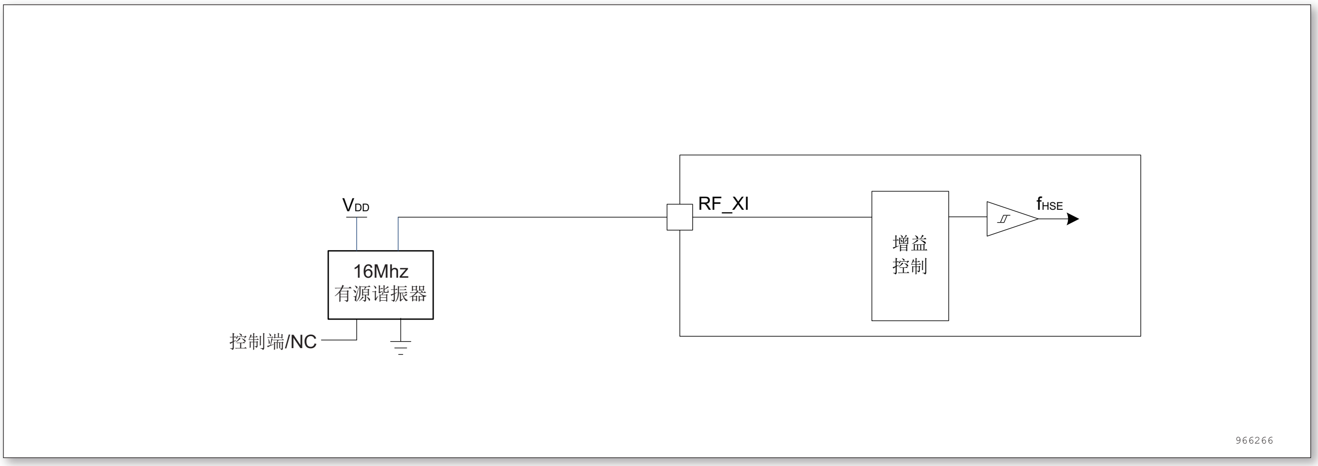

图 12. 射频模块使用 16MHz 晶体的典型应用

使用一个晶体/陶瓷谐振器产生的高速外部时钟

高速外部时钟 (HSE) 可以使用一个 16MHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。

在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数 (频率、封装、精度等)，请咨询相应的生产厂商。

表 25. HSE 16MHz 振荡器特性 (1)(2)

符号	参数	条件	最小值	典型值	最大值	单位
f_{OSC_IN}	振荡器频率			16		MHz
R_F	反馈电阻			1000		kΩ
C_{L1} / C_{L2}(3)	建议的负载电容与对应的晶体串行阻抗 (R_S)(4)	R_S = 30Ω		30		pF
I_2	HSE 驱动电流	V_{DD} = 3.3V V_{IN} = V_{SS} 30pF 负载			1	mA
g_m	振荡器的跨导	启动	25			mA/V
$t_{SU(HSE)}$(5)	启动时间	V_{DD} 是稳定的		2		ms

1. 谐振器的特性参数由晶体/陶瓷谐振器制造商给出。
2. 由综合评估得出，不在生产中测试。
3. 对于 C_{L1} 和 C_{L2}，建议使用高质量的、为高频应用而设计的 (典型值为)5pF ~ 25pF 之间的瓷介电容器，并挑选符合要求的晶体或谐振器。通常 C_{L1} 和 C_{L2} 具有相同参数。晶体制造商通常以 C_{L1} 和 C_{L2} 的串行组合给出负载电容的参数。在选择 C_{L1} 和 C_{L2} 时，PCB 和 MCU 引脚的容抗应该考虑在内 (可以粗略地把引脚与 PCB 板的电容按 10pF 估计)。
4. 相对较低的 RF 电阻值，能够可以为避免在潮湿环境下使用时所产生的问题提供保护，这种环境下产生的泄漏和偏置条件都发生了变化。但是，如果 MCU 是应用在恶劣的潮湿条件时，设计时需要把这个参数考虑进去。
5. $t_{SU(HSE)}$ 是启动时间，是从软件使能 HSE 开始测量，直至得到稳定的 8MHz 振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

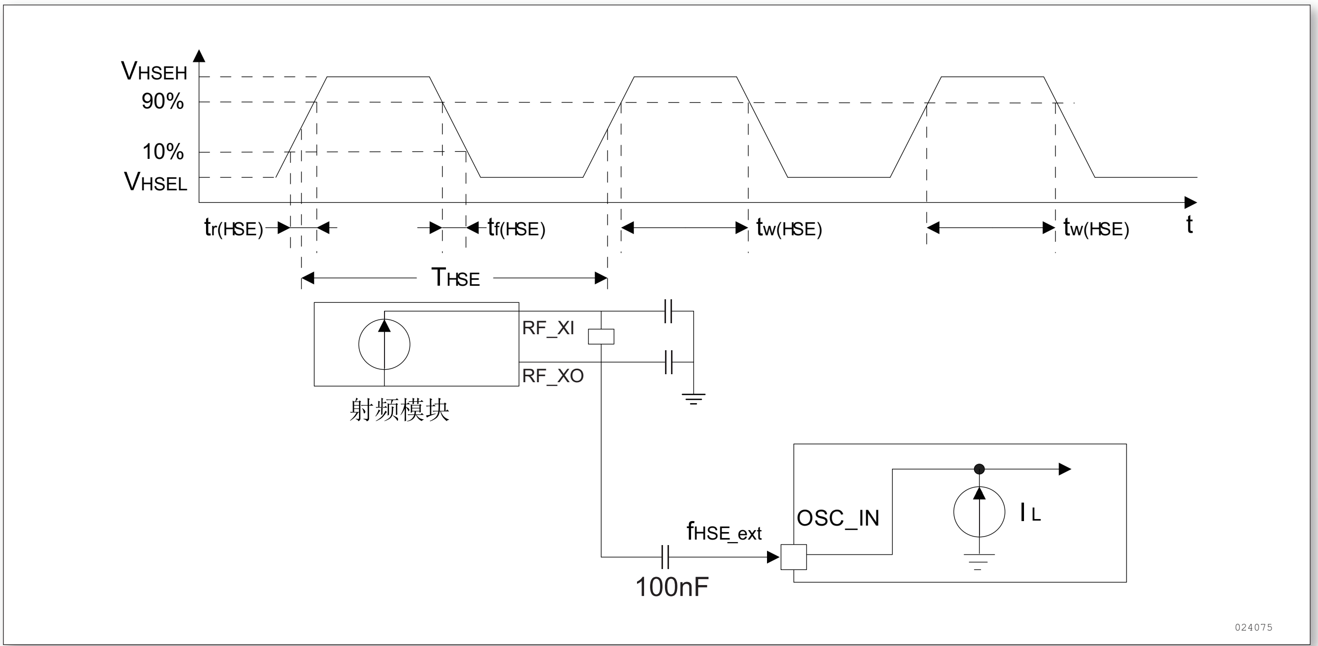

图 13. 外部高速时钟源的交流时序图

注：1. 外部高速时钟源的交流时序图表示控制模块和射频模块共用一个 16MHz 的晶体/陶瓷谐振器,16MHz 的晶体/陶瓷谐振器主要为射频模块提供高速时钟,同时也串联一个 100nF 电容为控制模块提供高速时钟。

2. 用户如果使用控制模块内部时钟源，16MHz 的晶体/陶瓷谐振器单独为射频模块提供时钟。

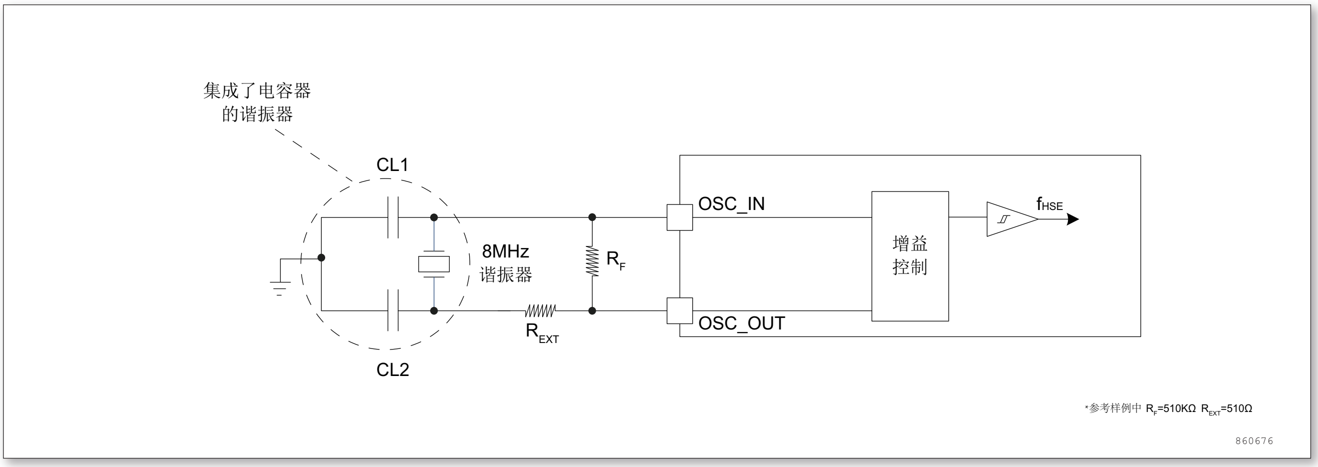

图 14. 使用 8MHz 晶体的典型应用

7.6.6 控制模块内部时钟源特性

下表中给出的特性参数是使用环境温度和供电电压符合通用工作条件测量得到。

高速内部 (HSI) 振荡器

表 26. HSI 振荡器特性 (1)(2)

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI}	频率		39.94	48.26	64.14	MHz
ACC_{HSI}	HSI 振荡器的精度	T_A = -40°C~ 105°C	-10		9	%
ACC_{HSI}	HSI 振荡器的精度	T_A = -10°C~ 85°C				%
ACC_{HSI}	HSI 振荡器的精度	T_A = 0°C~ 70°C				%
ACC_{HSI}	HSI 振荡器的精度	T_A = 25	-1		1	%
$t_{SU(HSI)}$	HSI 振荡器启动时间				2	μs
$I_{DD(HSI)}$	HSI 振荡器功耗			80.53	122	μA

1. V_{DD} = 3.3V，T_A = - 40°C~ 105°C，除非特别说明。
2. 由设计保证，不在生产中测试。

低速内部 (LSI) 振荡器

表 27. LSI 振荡器特性 (1)

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSI} (2)	频率		31.3	50.58	74.83	KHz
$t_{SU(LSI)}$ (2)	LSI 振荡器启动时间				1	μs
$I_{DD(LSI)}$ (3)	LSI 振荡器功耗			1.082	1.652	μA

1. V_{DD} = 3.3V，T_A = -40°C~ 105°C，除非特别说明。
2. 由综合评估得出，不在生产中测试。
3. 由设计保证，不在生产中测试。

从低功耗模式唤醒的时间

下表列出的唤醒时间是在内部时钟 HSI 的唤醒阶段测量得到。唤醒时使用的时钟源依当前的操作模式而定：

- 停机或待机模式：时钟源是振荡器
- 睡眠模式：时钟源是进入睡眠模式时所使用的时钟

所有的时间是使用环境温度和供电电压符合通用工作条件测量得到。

表 28. 低功耗模式的唤醒时间

符号	参数	条件	最大值	单位
$t_{WUSLEEP}$ (1)	从睡眠模式唤醒	使用 HSI 振荡器时钟唤醒	4	μs
t_{WUSTOP} (1)	从停机模式唤醒 (调压器处于运行模式)	HSI 振荡器时钟唤醒 = 2μs	8	μs
$t_{WUSTDBY}$ (1)	从待机模式唤醒	HSI 振荡器时钟唤醒 = 2μs 调压器从关闭模式唤醒时间 = 38μs	20	ms

1. 唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令。

7.6.7 PLL 特性

下表列出的参数是使用环境温度和供电电压符合通用工作条件测量得到。

表 29. PLL 特性 (1)

符号	参数	最小值	典型值	最大值	单位
f_{PLL_IN}	PLL 输入时钟 (2)	8		24	MHz
	PLL 输入时钟占空比	40		60	%
f_{PLL_OUT}	PLL 倍频输出时钟	40		100	MHz
t_{LOCK}	PLL 锁相时间			100	μs

1. 由设计保证，不在生产中测试。
2. 需要注意使用正确的倍频系数，从而根据 PLL 输入时钟频率使得 f_{PLL_OUT} 处于允许范围内。

7.6.8 存储器特性

闪存存储器

除非特别说明，所有特性参数是在 T_A = - 40°C~ 105°C 得到。

表 30. 闪存存储器特性

符号	参数	条件	最小值	典型值	最大值	单位
t_{prog}	8 位的编程时间	T_A = -40°C~ 125°C	4			μs
t_{ERASE}	页 (512K 字节) 擦除时间	T_A = -40°C~ 125°C		4	5	ms
t_{ME}	整片擦除时间	T_A = -40°C~ 125°C	20		40	ms
I_{DD}	供电电流	读模式，f_{HCLK} = 48MHz		5	6	mA
		写模式，f_{HCLK} = 48MHz			7	mA
		擦除模式，f_{HCLK} = 48MHz			2	mA
I_{SB}	Standby 电流			1@25°C	50@125°C	μA
I_{DEP}	Deep Standby 电流			0.5	15@125°C	μA

表 31. 闪存存储器寿命和数据保存期限 (1)(2)

符号	参数	条件	最小值	典型值	最大值	单位
NEND	寿命 (擦写次数)		20			千次
t_{RET}	数据保存期限	T_A = 105°C	20			年
		T_A = 25°C	100			

1. 由综合评估得出，不在生产中测试。
2. 循环测试均是在整个温度范围下进行。

7.6.9 EMC 特性

敏感性测试是在产品的综合评估时抽样进行测试的。

功能性 EMS(电磁敏感性)

当运行一个简单的应用程序时 (通过 I/O 端口闪烁 2 个 LED)，测试样品被施加 2 种电磁干扰直到产生错误，LED 闪烁指示了错误的产生。

- 静电放电 (ESD)(正放电和负放电) 施加到芯片所有的引脚直到产生功能性错误。这个测试符合 IEC1000-4-2 标准。
- FTB：在 V_{DD} 和 V_{SS} 上通过一个 100 pF 的电容施加一个瞬变电压的脉冲群 (正向和反向) 直到产生功能性错误。这个测试符合 IEC1000-4-4 标准。

芯片复位可以使系统恢复正常操作。

测试结果列于下表中。这是基于应用笔记中定义的 EMS 级别和类型进行的测试。

表 32. EMS 特性

符号	参数	条件	级别/类型
V_{EFT}	在 V_{DD} 和 V_{SS} 上通过 100pF 的电容施加的、导致功能错误的瞬变脉冲群电压极限。	V_{DD}=3.3V,T_A=+25°C, f_{HCLK}=48MHz。符合 IEC1000-4-4	TBD

设计牢靠的软件以避免噪声的问题

在器件级进行 EMC 的评估和优化，是在典型的应用环境中进行的。应该注意的是，好的 EMC 性能与用户应用和具体的软件密切相关。

因此，建议用户对软件实行 EMC 优化，并进行与 EMC 有关的认证测试。

软件建议

软件的流程中必须包含程序跑飞的控制，如：

- 被破坏的程序计数器
- 意外的复位
- 关键数据被破坏 (控制寄存器等……)

认证前的试验

很多常见的失效 (意外的复位和程序计数器被破坏)，可以通过人工地在 NRST 上引入一个低电平或在晶振引脚上引入一个持续 1 秒的低电平而重现。

在进行 ESD 测试时，可以把超出应用要求的电压直接施加在芯片上，当检测到意外动作的地方，软件部分需要加强以防止发生不可恢复的错误。

7.6.10 绝对最大值 (电气敏感性)

基于三个不同的测试 (ESD，LU)，使用特定的测量方法，对芯片进行强度测试以决定它的电气敏感性方面的性能。

静电放电 (ESD)

静电放电 (一个正的脉冲然后间隔一秒钟后一个负的脉冲) 施加到所有样品的所有引脚上，样品的大小与芯片上供电引脚数目相关 (3 片 ×(n+1) 供电引脚)。这个测试符合 JESD22-A114/C101 标准。

静态栓锁

为了评估栓锁性能，需要在 6 个样品上进行 2 个互补的静态栓锁测试：

- 为每个电源引脚，提供超过极限的供电电压。
- 在每个输入、输出和可配置的 I/O 引脚上注入电流。

这个测试符合 EIA/JESD78A 集成电路栓锁标准。

表 33. ESD 特性

符号	参数	条件	最大值	单位
$V_{ESD(HBM)}$	静电放电电压（人体模型）	T_A = +25°C，符合 JESD22-A114	2000	V
$V_{ESD(CDM)}$	静电放电电压（充电设备模型）	T_A = +25°C，符合 JESD22-C101	500	
I_{LU}	静态栓锁类 (Latch-up current)	T_A = +25°C，符合 JESD78A	200	mA

1. 由综合评估得出，不在生产中测试。

7.6.11 I/O 端口特性

通用输入/输出特性

除非特别说明，下表列出的参数是按照表 15的条件测量得到。所有的 I/O 端口都是兼容 CMOS。

表 34. I/O 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	输入低电平电压	3.3V CMOS 端口	-0.5		1.1	V
V_{IL}	输入低电平电压	5V CMOS 端口	-0.5		1.5	V
V_{IH}	输入高电平电压	3.3V CMOS 端口	2.08			V
V_{IH}	输入高电平电压	5V CMOS 端口	3.5			V
V_{hy}	I/O 脚施密特触发器电压迟滞 (1)	3.3V	500	700	800	mV
V_{hy}	I/O 脚施密特触发器电压迟滞 (1)	5V	500	700	800	mV
I_{lkg}	输入漏电流 (2)	3.3V			1	μA
I_{lkg}	输入漏电流 (2)	5V			1	μA
R_{PU}	弱上拉等效电阻 (3)	3.3V $V_{IN}=V_{SS}$	30	50	100	kΩ
R_{PU}	弱上拉等效电阻 (3)	5V $V_{IN}=V_{SS}$	30	50	100	kΩ
R_{PD}	弱下拉等效电阻 (3)	3.3V $V_{IN}=V_{DD}$	30	50	100	kΩ
R_{PD}	弱下拉等效电阻 (3)	5V $V_{IN}=V_{DD}$	30	50	100	kΩ
C_{IO}	I/O 引脚的电容	3.3V		5		pF
C_{IO}	I/O 引脚的电容	5V		5		pF

1. 施密特触发器开关电平的迟滞电压。由综合评估得出，不在生产中测试。
2. 如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值。
3. 上拉和下拉电阻是设计为一个真正的电阻串联一个可开关的 PMOS/NMOS 实现。这个

PMOS/NMOS 开关的电阻很小 (约占 10%)。

所有 I/O 端口都是 CMOS 兼容 (不需软件配置)，它们的特性考虑了多数严格的 CMOS 工艺：

- 对于 V_{IH}：
  - 如果 V_{DD} 是介于 [2.50V~ 3.08V]；使用 CMOS 特性。
  - 如果 V_{DD} 是介于 [3.08V~ 3.60V]；包含 CMOS。
- 对于 V_{IL}：
  - 使用 CMOS 特性。

输出驱动电流

GPIO(通用输入/输出端口) 可以吸收或输出多达 ±20mA 电流。

在用户应用中，I/O 脚的数目必须保证驱动电流不能超过7.5节给出的绝对最大额定值：

- 所有 I/O 端口从 V_{DD} 上获取的电流总和，加上 MCU 在 V_{DD} 上获取的最大运行电流，不能超过绝对最大额定值 I_{VDD}。
- 所有 I/O 端口吸收并从 V_{SS} 上流出的电流总和，加上 MCU 在 V_{SS} 上流出的最大运行电流，不能超过绝对最大额定值 I_{VSS}。

输出电压

除非特别说明，下表列出的参数是使用环境温度和 V_{DD} 供电电压符合表 18的条件测量得到。所有的 I/O 端口都是兼容 CMOS 的。

表 35. 输出电压特性

符号	参数	条件	最小值	最大值	单位
V_{OL} (1)	输出低电平，当 8 个引脚同时吸收电流	CMOS 端口，I_{IO} = +8mA 2.7V< V_{DD} < 3.6V		0.4	V
V_{OH} (2)	输出高电平，当 8 个引脚同时输出电流	CMOS 端口，I_{IO} = +8mA 2.7V< V_{DD} < 3.6V	0.8V_{DD}		V
V_{OL} (1)(3)	输出低电平，当 8 个引脚同时吸收电流	I_{IO} = +20mA 2.7V< V_{DD} < 3.6V		0.4	V
V_{OH} (2)(3)	输出高电平，当 8 个引脚同时输出电流	I_{IO} = +20mA 2.7V< V_{DD} < 3.6V	0.8V_{DD}		V
V_{OL} (2)(3)	输出低电平，当 8 个引脚同时吸收电流	I_{IO} = +6mA 2V< V_{DD} < 2.7V		TBD	V
V_{OH} (2)(3)	输出高电平，当 8 个引脚同时输出电流	I_{IO} = +6mA 2V< V_{DD} < 2.7V	TBD		V

1. 芯片吸收的电流 I_{IO} 必须始终遵循表中给出的绝对最大额定值，同时 I_{IO} 的总和 (所有 I/O 脚和控制脚) 不能超过 I_{VSS}。
2. 芯片输出的电流 I_{IO} 必须始终遵循表中给出的绝对最大额定值，同时 I_{IO} 的总和 (所有 I/O 脚和控制脚) 不能超过 I_{VDD}。
3. 由综合评估得出，不在生产中测试。

输入输出交流特性

输入输出交流特性的定义和数值分别在图 15和表 36给出。

除非特别说明，表 36列出的参数是使用环境温度和供电电压符合表 15的条件测量得到。

表 36. 输入输出交流特性 (1)

MODEx[1：0] 的配置	符号	参数	条件	最小值	最大值	单位
01 (50MHz)	$f_{max(IO)out}$	最大频率 (2)	C_L=30pF, V_{DD}=2.7V~3.6V		50	MHz
			C_L=50pF, V_{DD}=2.7V~3.6V		30	
			C_L=50pF, V_{DD}=2V~2.7V		20	
01 (50MHz)	$t_{f(IO)out}$	输出高至低电平的下降时间	C_L=30pF, V_{DD}=2.7V~3.6V		5	ns
			C_L=50pF, V_{DD}=2.7V~3.6V		8	
01 (50MHz)	$t_{f(IO)out}$	输出高至低电平的下降时间	C_L=50pF, V_{DD}=2V~2.7V		12	ns
01 (50MHz)	$t_{r(IO)out}$	输出低至高电平的上升时间	C_L=30pF, V_{DD}=2.7V~3.6V		5	ns
01 (50MHz)	$t_{r(IO)out}$	输出低至高电平的上升时间	C_L=50pF, V_{DD}=2.7V~3.6V		8	ns
01 (50MHz)	$t_{r(IO)out}$	输出低至高电平的上升时间	C_L=50pF, V_{DD}=2V~2.7V		12	ns
10 (20MHz)	$f_{max(IO)out}$	最大频率 (2)	C_L=50pF, V_{DD}=2V~3.6V		20	MHz
	$t_{f(IO)out}$	输出高至低电平的下降时间	C_L=50pF, V_{DD}=2V~3.6V		25(3)	ns
	$t_{r(IO)out}$	输出低至高电平的上升时间			25(3)	
	t_{EXTIpw}	EXTI 控制器检测到外部信号的脉冲宽度		10		ns

1. I/O 端口的速度可以通过 MODEx[1：0] 配置。参见本芯片参考手册中有关 GPIO 端口配置寄存器的说明。
2. 最大频率在图 15中定义。
3. 由设计保证，不在生产中测试。

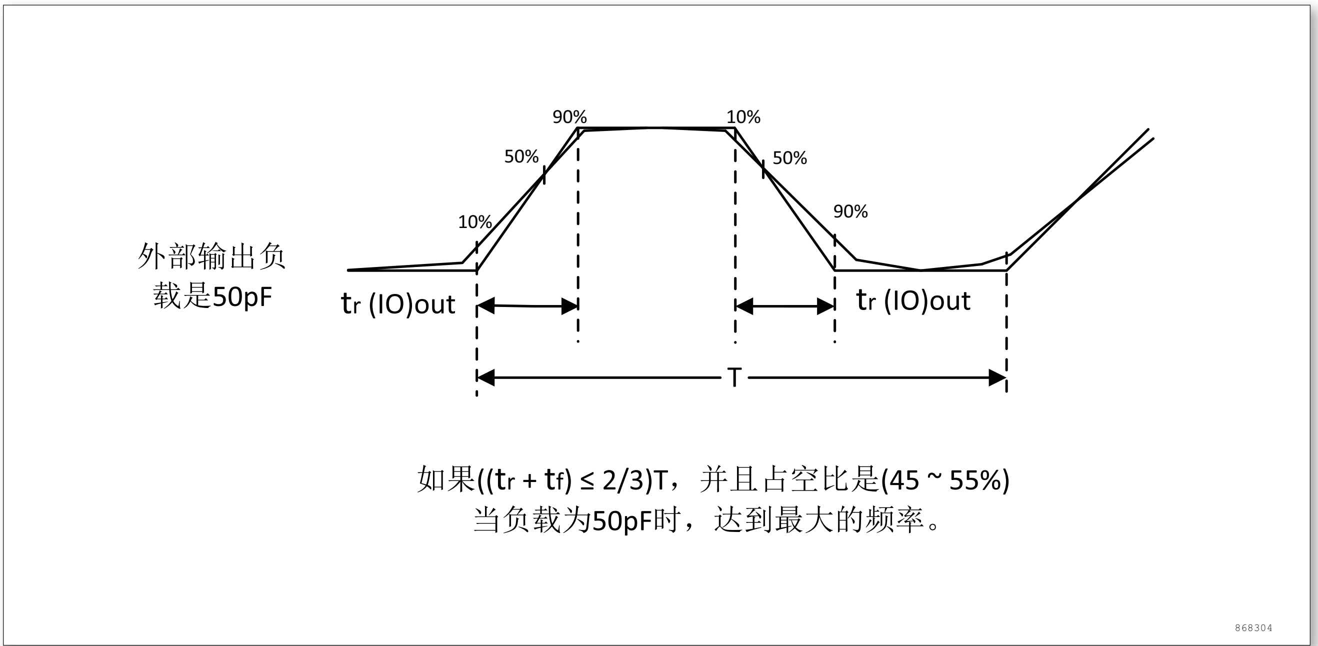

图 15. 输入输出交流特性定义

7.6.12 NRST 引脚特性

NRST 引脚输入驱动使用 CMOS 工艺，它连接了一个不能断开的上拉电阻，R_{PU}。

除非特别说明，下表列出的参数是使用环境温度和 V_{DD} 供电电压符合表 18的条件测量得到。

表 37. NRST 引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}$ (1)	输入低电平电压		-0.5		0.8	V
$V_{IH(NRST)}$ (1)	NRST 输入高电平电压		2		V_{DD}	
$V_{hys(NRST)}$	NRST 施密特触发器电压迟滞			$0.2V_{DD}$		V
R_{PU}	弱上拉等效电阻 (2)	$V_{IN} = V_{SS}$		15		kΩ
$V_{F(NRST)}$ (1)	NRST 输入滤波脉冲				100	ns
$V_{NF(NRST)}$ (1)	NRST 输入非滤波脉冲		300			ns

1. 由设计保证，不在生产中测试。
2. 上拉电阻是设计为一个真正的电阻串联一个可开关的 PMOS 实现。这个 PMOS/NMOS 开关的电阻很小 (约占 10%)。

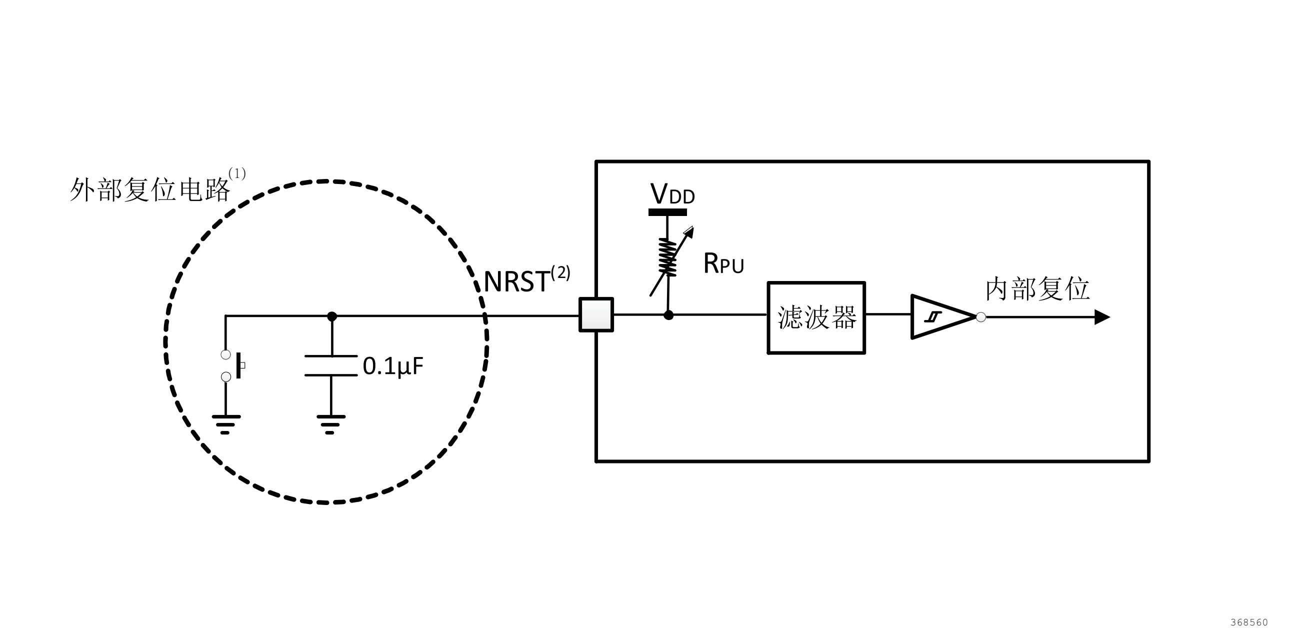

图 16. 建议的 NRST 引脚保护

1. 复位网络是为了防止寄生复位。
2. 用户必须保证 NRST 引脚的电位能够低于表 37中列出的最大 $V_{IL(NRST)}$ 以下,否则 MCU 不能得到复位。

7.6.13 TIM 定时器特性

下表列出的参数由设计保证。

有关输入输出复用功能引脚 (输出比较、输入捕获、外部时钟、PWM 输出) 的特性详情，参见小节 7.6.11。

表 38. TIMx(1) 特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨时间		1		$t_{TIMxCLK}$
$t_{res(TIM)}$	定时器分辨时间	$f_{TIMxCLK}$=48MHz	10.4		ns
f_{EXT}	CH1 至 CH4 的定时器外部时钟频率		0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK}$=48MHz	0	24	
Res_{TIM}	定时器分辨率			16	位
$t_{COUNTER}$	当选择了内部时钟时，16 位计数器时钟周期		1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK}$=48MHz	0.0104	682	µS
t_{MAX_COUNT}	最大可能的计数			65536 ×65536	$t_{TIMxCLK}$
		$f_{TIMxCLK}$=48MHz		44.7	S

1. TIMx 是一个通用的名称，代表 TIM1,2,3,14,16,17。

7.6.14 通信接口

I2C

除非特别说明，表 39列出的参数是使用环境温度，f_{PCLK1} 频率和 V_{DD} 供电电压符合表 18的条件测量得到。

I2C 接口符合标准 I2C 通信协议，但有如下限制：SDA 和 SCL 不是‘真’的引脚，当配置为开漏输出时，在引出脚和 V_{DD} 之间的 PMOS 管被关闭，但仍然存在。

I2C 接口特性列于表 39，有关输入输出复用功能引脚 (SDA 和 SCL) 的特性详情，参见小节 7.6.11。

表 39. I2C 接口特性

符号	参数	标准 I2C [1]		快速 I2C [1][2]		单位
		最小值	最大值	最小值	最大值	
$t_{w(SCLL)}$	SCL 时钟低时间	4.7		1.3		µs
$t_{w(SCLH)}$	SCL 时钟高时间	4.0		0.6		µs
$t_{su(SDA)}$	SDA 建立时间	250		100		ns
$t_{h(SDA)}$	SDA 数据保持时间	0[3]		0[4]	900[3]	
$t_{r(SDA)}$ $t_{r(SDL)}$	SDA 和 SCL 上升时间		1000	2.0+0.1C_b	300	
$t_{f(SDA)}$ $t_{f(SDL)}$	SDA 和 SCL 下降时间		300		300	
$t_{h(STA)}$	开始条件保持时间	4.0		0.6		µs
$t_{su(STA)}$	重复的开始条件建立时间	4.7		0.6		
$t_{su(STO)}$	停止条件建立时间	4.0		0.6		
$t_{w(STO:STA)}$	停止条件至开始条件的时间 (总线空闲)	4.7		1.3		
C_b	每条总线的容性负载		400		400	pF

1. 由设计保证，不在生产中测试。
2. 为达到标准模式 I2C 的最大频率，f_{PCLK1} 必须大于 3MHz。为达到快速模式 I2C 的最大频率，f_{PCLK1} 必须大于 12MHz。
3. 如果不要求拉长 SCL 信号的低电平时间，则只需满足开始条件的最大保持时间。
4. 为了跨越 SCL 下降沿未定义的区域，在 MCU 内部必须保证 SDA 信号上至少 300nS 的保持时间。

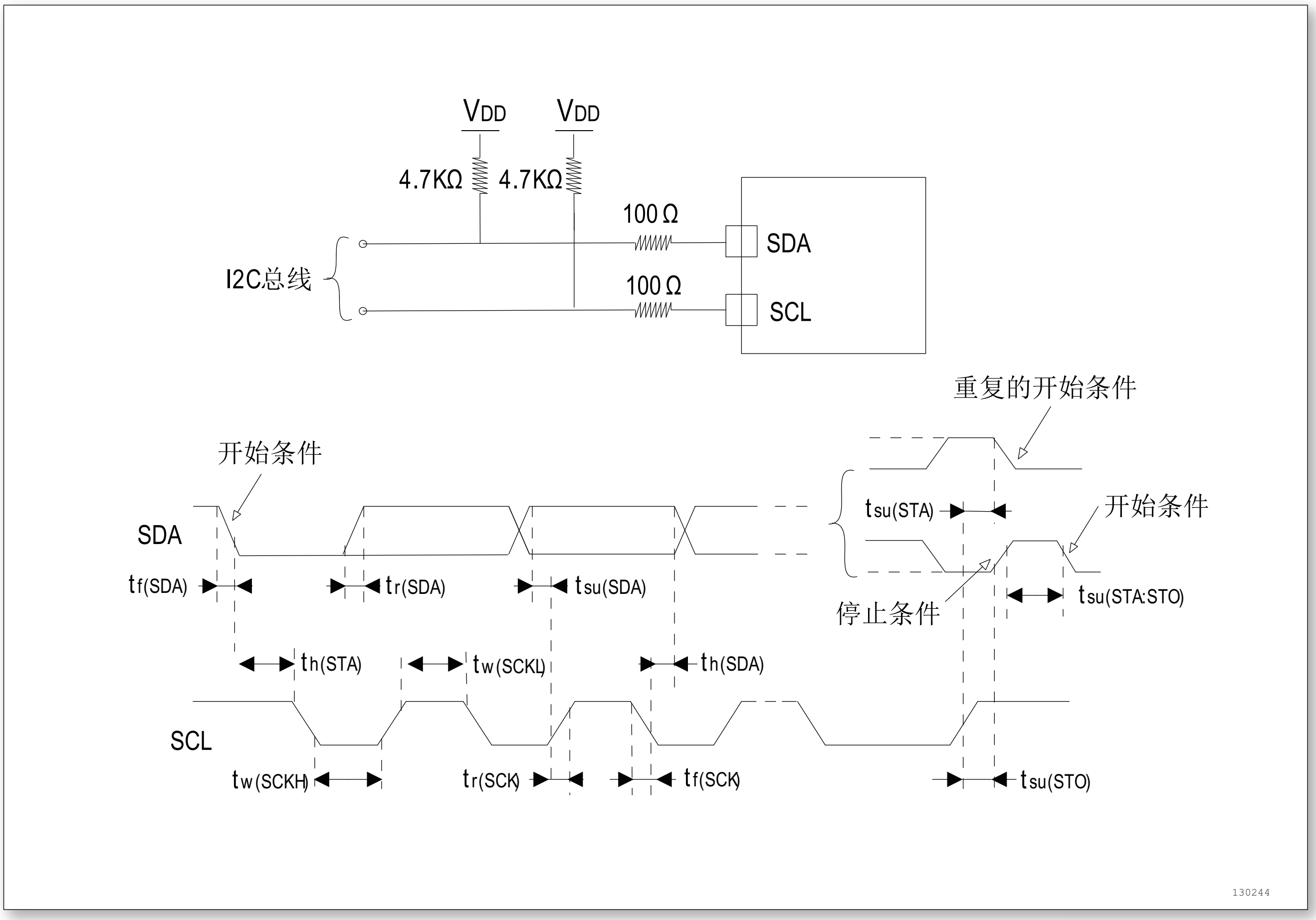

图 17. I2C 总线交流波形和测量电路 (1)

1. 测量点设置于 CMOS 电平：$0.3V_{DD}$ 和 $0.7V_{DD}$。

SPI 接口特性

除非特别说明，表 40列出的参数是使用环境温度，f_{PCLKx} 频率和 V_{DD} 供电电压符合表 18的条件测量得到。

有关输入输出复用功能引脚 (NSS、SCK、MOSI、MISO) 的特性详情，参见小节 7.6.11。

表 40. SPI 特性 (1)

符号	参数	条件	最小值	最大值	单位
f_{SCK} $1/t_{c(SCK)}$	SPI 时钟频率	主模式	0	36	MHz
f_{SCK} $1/t_{c(SCK)}$	SPI 时钟频率	从模式	0	18	MHz
$t_{r(SCK)}$	SPI 时钟上升时间	负载电容：C= 30pF		8	ns
$t_{f(SCK)}$	SPI 时钟下降时间	负载电容：C= 30pF		8	ns
$t_{su(NSS)}$ (2)	NSS 建立时间	从模式	$4t_{PCLK}$		ns
$t_{h(NSS)}$ (2)	NSS 保持时间	从模式	73		ns
$t_{w(SCKH)}$ (2)	SCK 高的时间	主模式，f_{PCLK}= 36MHz，预分频系数 = 4	50	60	ns
$t_{w(SCKL)}$ (2)	SCK 低的时间	主模式，f_{PCLK}= 36MHz，预分频系数 = 4	50	60	ns

符号	参数	条件	最小值	最大值	单位
$t_{su(MI)}$ (2)	数据输入建立时间，主模式	SPI1	1		ns
$t_{su(SI)}$ (2)	数据输入建立时间，从模式		1		ns
$t_{h(MI)}$ (2)	数据输入保持时间，主模式	SPI1	1		ns
$t_{h(SI)}$ (2)	数据输入保持时间，从模式		3		ns
$t_{a(SO)}$ (2)(3)	数据输出访问时间	从模式，f_{PCLK}= 36MHz，预分频系数 = 4	0	55	ns
$t_{a(SO)}$ (2)(3)	数据输出访问时间	从模式，f_{PCLK}= 24MHz		$4t_{PCLK}$	ns
$t_{dis(SO)}$ (2)(4)	数据输出禁止时间	从模式	10		ns
$t_{v(SO)}$ (2)(1)	数据输出有效时间	从模式 (使能边沿之后)		25	ns
$t_{v(MO)}$ (2)(1)	数据输出有效时间	主模式 (使能边沿之后)		3	ns
$t_{h(SO)}$ (2)	数据输出保持时间	从模式 (使能边沿之后)	25		ns
$t_{h(MO)}$ (2)	数据输出保持时间	主模式 (使能边沿之后)	4		ns

1. 重映射的 SPI1 特性需要进一步确定。
2. 由综合评估得出，不在生产中测试。
3. 最小值表示驱动输出的最小时间，最大值表示正确获得数据的最大时间。
4. 最小值表示关闭输出的最小时间，最大值表示把数据线置于高阻态的最大时间。

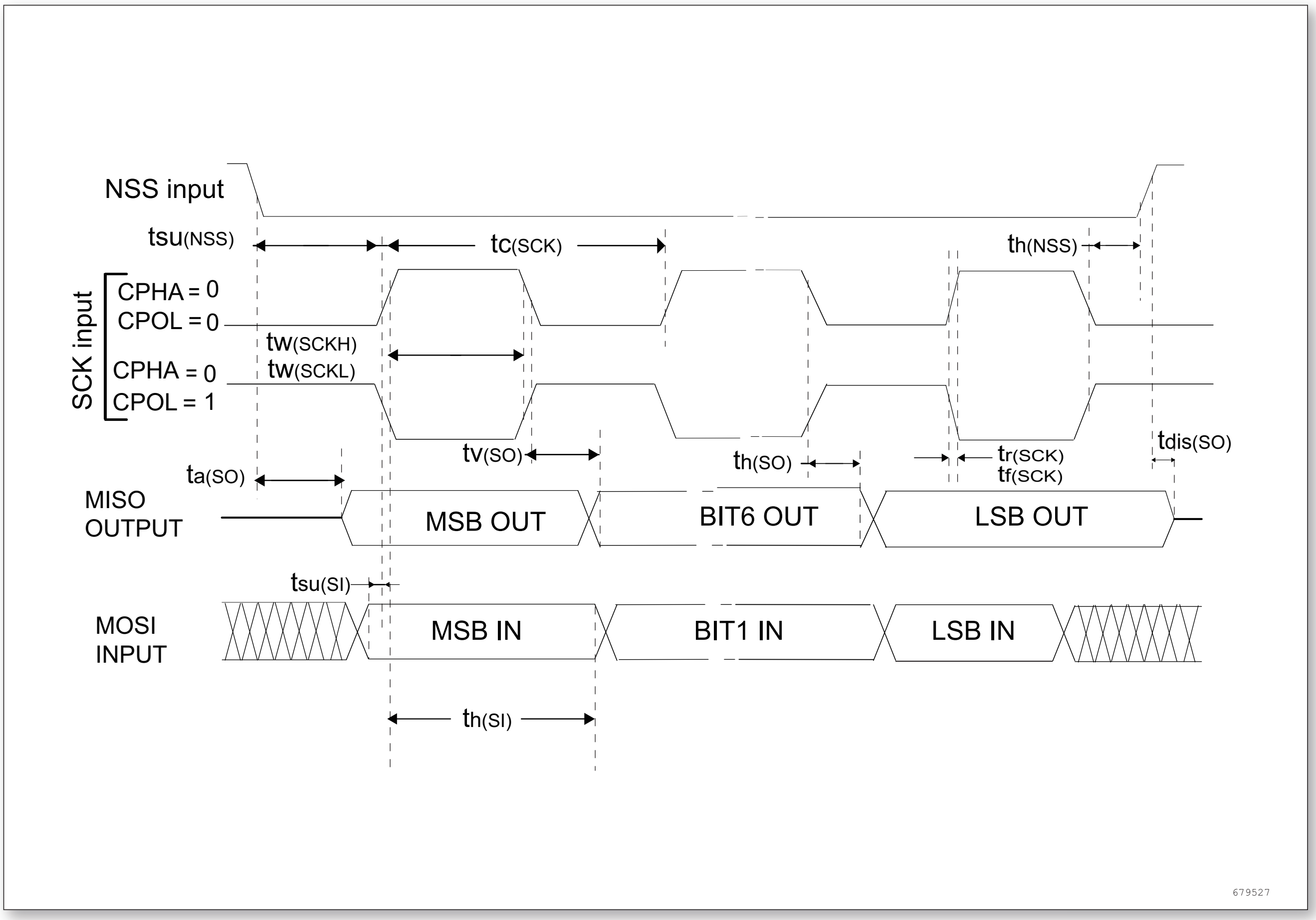

图 18. SPI 时序图-从模式和 CPHA = 0

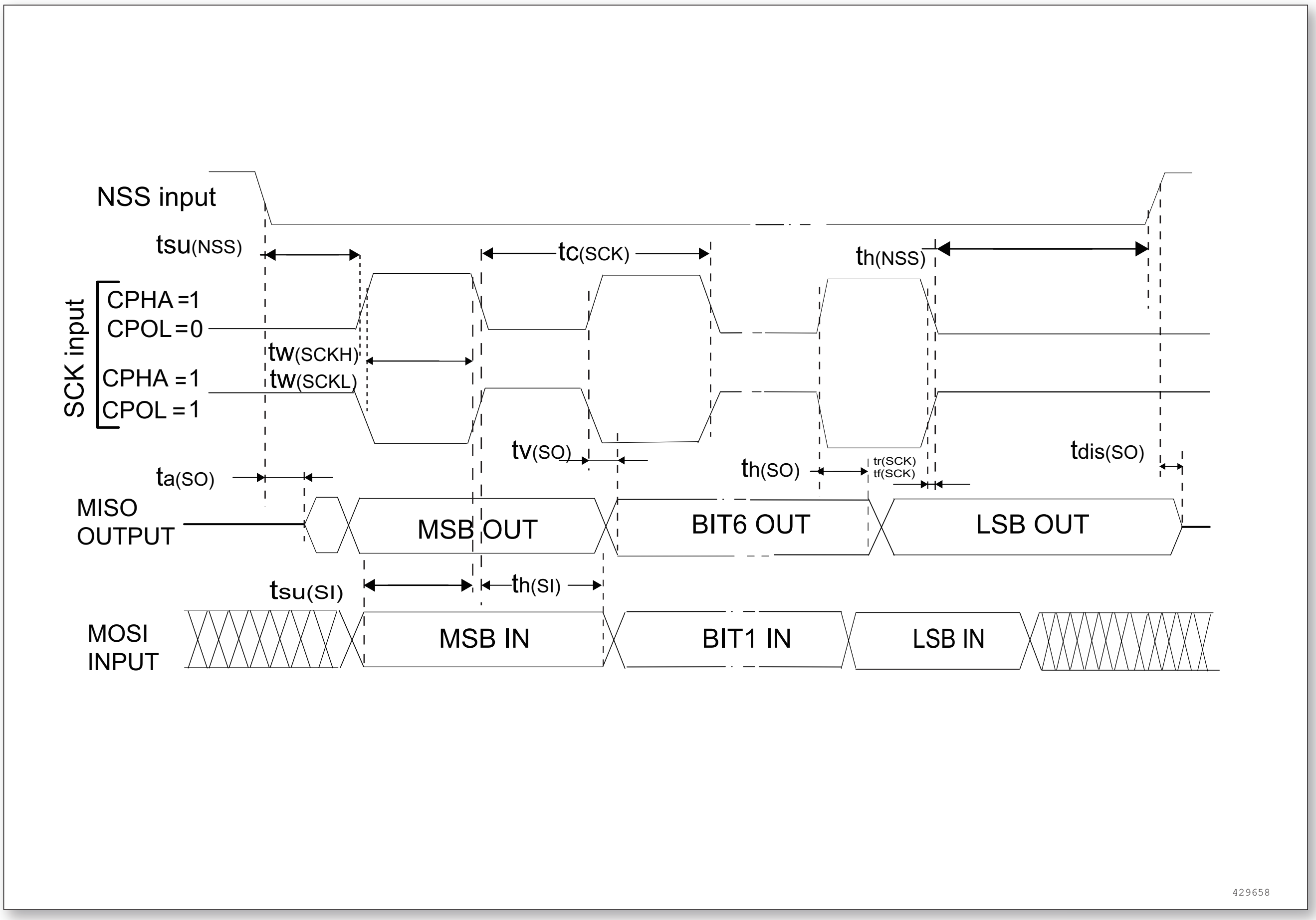

图 19. SPI 时序图-从模式和 CPHA = 1[1]

1. 测量点设置于 CMOS 电平：$0.3V_{DD}$ 和 $0.7V_{DD}$。

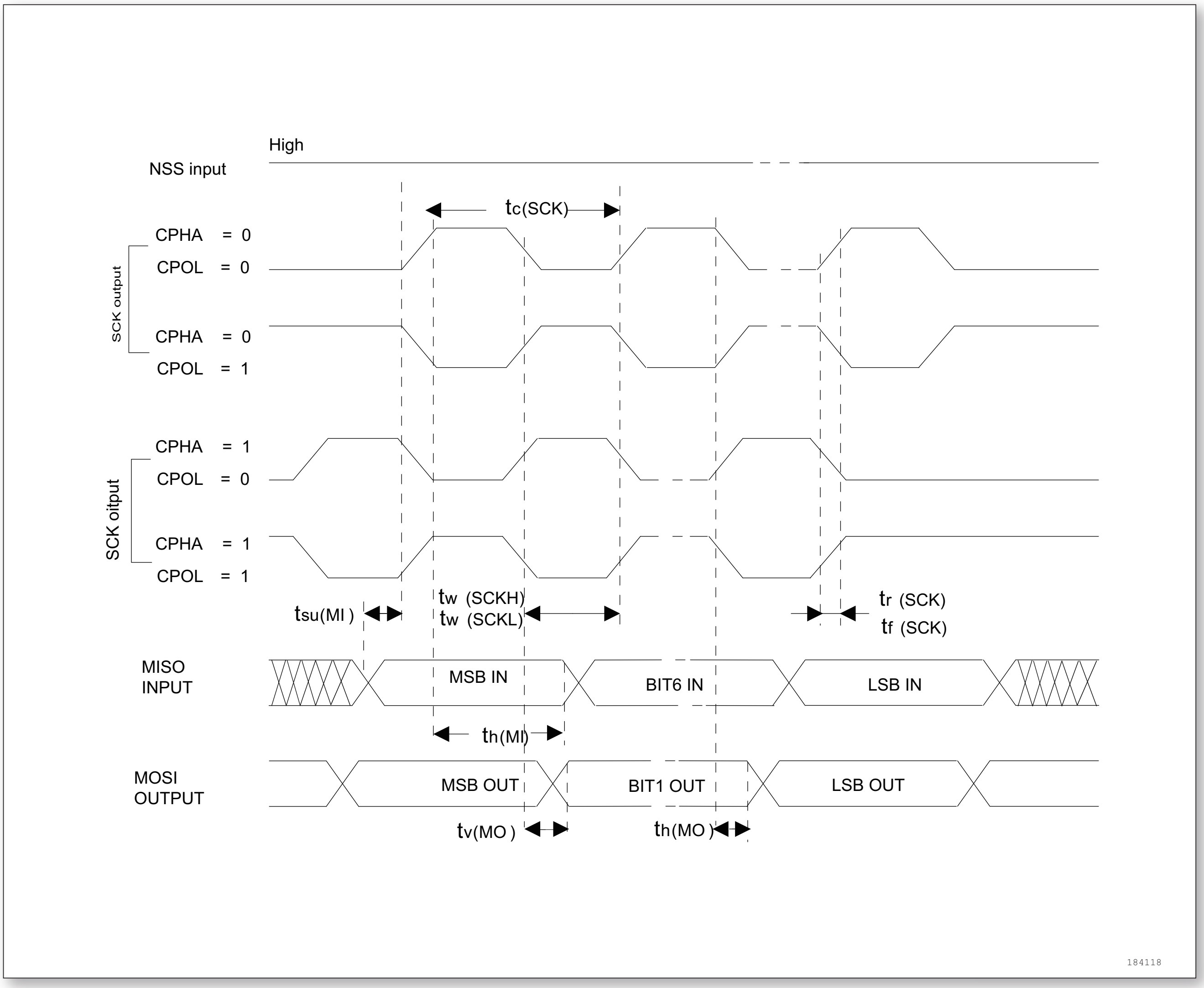

图 20. SPI 时序图-主模式 (1)

1. 测量点设置于 CMOS 电平：$0.3V_{DD}$ 和 $0.7V_{DD}$。

USB 特性

表 41. USB 启动时间

符号	参数	最大值	单位
t_{START} (1)	USB 收发器启动时间	1	μs

1. 由设计保证，不在生产中测试。

表 42. USB 直流特性

符号	参数	条件	最小值 (1)	最大值 (1)	单位
输入电平					
V_{DD}	USB 操作电压 (2)		3.0(3)	3.6	V
V_{DI} (4)	差分输入灵敏度	I(USBDP，USBDM)	0.2		
V_{CM} (4)	差分共模范围	包含 V_{DI} 范围	0.8	2.5	
V_{SE} (4)	单端接收器阀值		1.3	2	

符号	参数	条件	最小值 (1)	最大值 (1)	单位
输出电平					
V_{OL}	静态输出低电平	1.5kΩ 的 R_L 接至 3.6V (5)		0.3	V
V_{OH}	静态输出高电平	15kΩ 的 R_L 接至 V_{SS} (5)	2.8	3.6	

1. 所有的电压测量都是以设备端地线为准。
2. 为了与 USB 2.0 全速电气规范兼容，USBDP(D+) 引脚内部已经内置一个 1.5 kΩ 电阻接至 V_{DD}，外部无需再外接。
3. 本产品的正确 USB 功能可以在 2.7 V 得到保证，而不是在 2.7V ~ 3.6 V 电压范围下降级的电气特性。
4. 由综合评估保证，不在生产中测试。
5. R_L 是连接到 USB 驱动器上的负载。

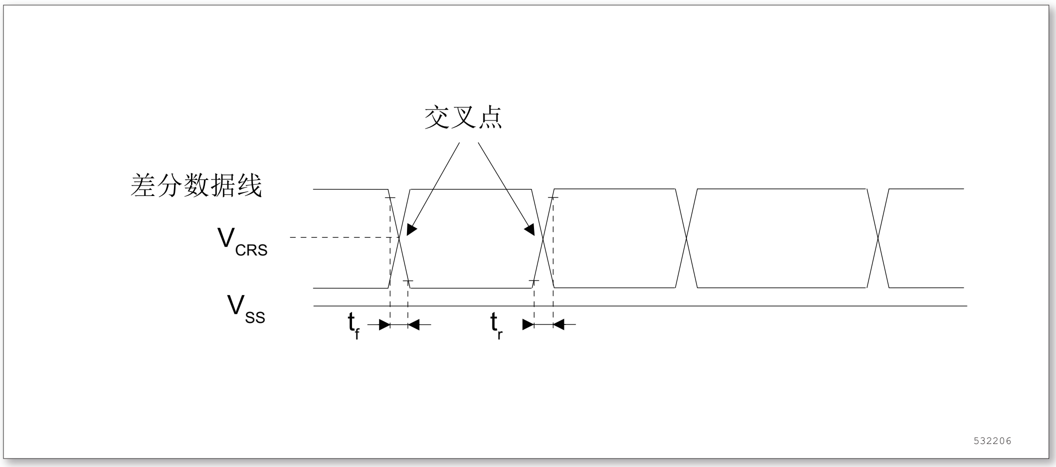

图 21. USB 时序：数据信号上升和下降时间定义

表 43. USB 全速电气特性 (1)

符号	参数	条件	最小值	最大值	单位
t_r	上升时间 (2)	C_L <= 50pF	7.041	23.13	ns
t_f	下降时间 (2)	C_L <= 50pF	6.866	26.76	ns
t_{rfm}	上升下降时间匹配	t_r / t_f	96.52	125.1	%
V_{CRS}	输出信号交叉电压		1.391	2.967	V

1. 由设计保证，不在生产中测试。
2. 测量数据信号从 10% 至 90%。更多详细信息，参见 USB 规范第 7 章 (2.0 版)。

7.6.15 CAN(控制器局域网络) 接口

有关输入输出复用功能引脚 (CAN_TX 和 CAN_RX) 的特性详情，参见第小节 7.6.11节。

7.6.16 12 位 ADC 特性

除非特别说明，下表的参数是使用符合表 18的条件的环境温度、f_{PCLK2} 频率和 V_{DDA} 供电电压测量得到。

表 44. ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	供电电压		2.3	3.3	3.6	V
V_{REF+}	正参考电压		2.3		V_{DDA}	V
f_{ADC}[1][3]	ADC 时钟频率				15	MHz
f_S[1][3]	采样速率				1	MHz
f_{TRIG}[1]	外部触发频率	f_{ADC} = 15MHz				KHz
						$1/f_{ADC}$
V_{AIN}[2]	转换电压范围		0(V_{SSA} 或 V_{REF-} 连接到地)		V_{REF+}	V
R_{AIN}[1]	外部输入阻抗		参见公式 1 和表 45			kΩ
R_{ADC}[1]	采样开关电阻				1	kΩ
C_{ADC}[1]	内部采样和保持电容			10		pF
t_S[1]	采样时间	f_{ADC} = 15MHz	0.1		16	µs
			1.5		239.5	$1/f_{ADC}$
t_{STAB}[1]	上电时间			1		µs
t_{conv}[1]	总的转换时间 (包括采样时间)	f_{ADC} = 15MHz	1		16.9	µs
			15 ~ 253 (采样 t_{S+}) 逐步逼近 13.5			$1/f_{ADC}$

1. 由综合评估保证，不在生产中测试。
2. 由设计保证，不在生产中测试。
3. 在该系列产品中，V_{REF+} 在内部连接到 V_{DDA}，V_{REF-} 在内部连接到 V_{SSA}。
4. 对于外部触发，必须在时延中加上一个延迟 $1/f_{PCLK2}$。

$$R_{AIN} < \frac{T_S}{f_{ADC} \times C_{ADC} \times In(2^{N+2})} - R_{ADC}$$

上述公式 (公式 1) 用于决定最大的外部阻抗，使得误差可以小于 1/4 LSB。其中 N = 12(表示 12 位分辨率)。

表 45. f_{ADC}=15MHz[1] 时的最大 R_{AIN}

T_S(周期)	t_S(µs)	最大 R_{AIN} (kΩ)
1.5	0.1	1.2
7.5	0.5	10
13.5	0.9	19
28.5	1.9	41
41.5	2.76	60
55.5	3.7	80
71.5	4.77	104
239.5	16.0	350

1. 由设计保证，不在生产中测试。

表 46. ADC 精度 - 局限的测试条件 (1)(2)

符号	参数	测试条件	典型值	最大值	单位
ET	综合误差	f_{PCLK2} = 48MHz, f_{ADC} = 15MHz,R_{AIN} < 10KΩ, V_{DDA} = 3V ~ 3.6V，T_A = 25°C	±11	±12	LSB
EO	偏移误差		±8	±9	
EG	增益误差		±7.5	±9	
ED	微分线性误差		±3	±3	
EL	积分线性误差		±11	±11	

1. ADC 精度与反向注入电流的关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，(引脚与地之间) 增加一个肖特基二极管。
   如果正向的注入电流，只要处于小节 7.6.12中给出的 $I_{INJ(PIN)}$ 和 $\Sigma I_{INJ(PIN)}$ 范围之内，就不会影响 ADC 精度。
2. 由综合评估保证，不在生产中测试。

ET = 总未调整误差：实际和理想传输曲线间的最大偏离。

EO = 偏移误差：第一次实际转换和第一次理想转换间的偏离。

EG = 增益误差：最后一次理想转换和最后一次实际转换间的偏离。

ED = 微分线性误差：实际步进和理想值间的最大偏离。

EL = 积分线性误差：任何实际转换和端点相关线间的最大偏离。

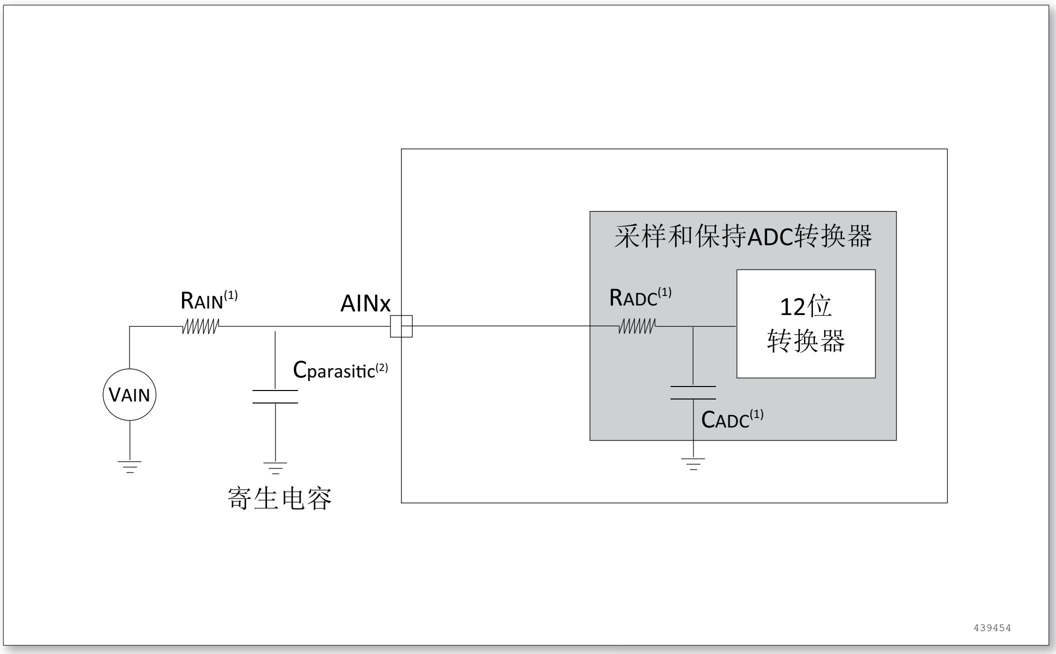

图 22. 使用 ADC 典型的连接图

1. 有关 R_{AIN}、R_{ADC} 和 C_{ADC} 的数值，参见表 46。
2. $C_{parasitic}$ 表示 PCB(与焊接和 PCB 布局质量相关) 与焊盘上的寄生电容 (大约 7pF)。较大的 $C_{parasitic}$ 数值将降低转换的精度，解决的办法是减小 f_{ADC}。

PCB 设计建议

电源的去藕必须按照下图连接。图中的 10 nF 电容必须是瓷介电容 (好的质量)，它们应该尽可能地靠近 MCU 芯片。

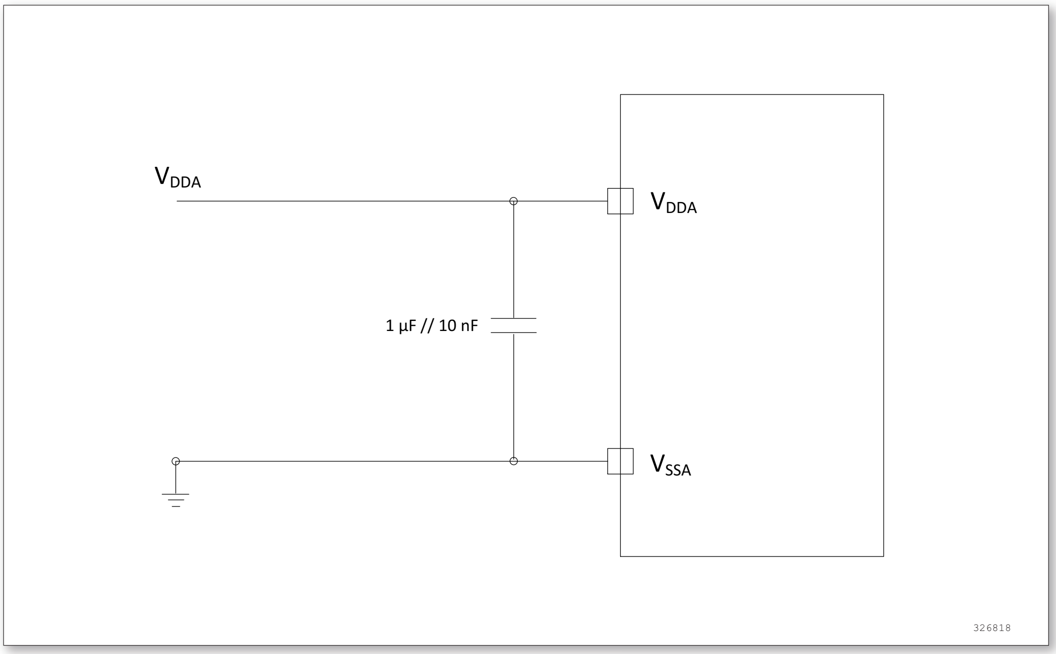

图 23. 供电电源和参考电源去藕线路

7.6.17 比较器特性

表 47. 比较器特性

符号	参数	寄存器配置	最小值	典型值	最大值	单位
HYST	迟滞	00		0		mV
HYST	迟滞	01		15		mV
HYST	迟滞	10		30		mV
HYST	迟滞	11		90		mV
OFFSET	失调电压	00	0.091	0.213	0.358	mV
OFFSET	失调电压	01	3.23	7.51	12.08	mV
OFFSET	失调电压	10	9.79	15	20.8	mV
OFFSET	失调电压	11	34.25	47.4	62.22	mV
DELAY(1)	传播延时	00		80		ns
DELAY(1)	传播延时	01		51		ns
DELAY(1)	传播延时	10		26		ns
DELAY(1)	传播延时	11		9		ns
I_q(2)	工作电流均值	00		4.5		µA
I_q(2)	工作电流均值	01		4.4		µA
I_q(2)	工作电流均值	10		4.4		µA
I_q(2)	工作电流均值	11		4.4		µA

1. 输出翻转 50% 与输入翻转的时间差。

2. 总消耗电流均值，工作电流。

8 PCB 设计建议

PCB 设计建议

8.1 电源设计建议

电源的去藕必须按照下图连接。图中的 10nF 电容必须是瓷介电容 (好的质量)，它们应该尽可能地靠近 MCU 芯片。

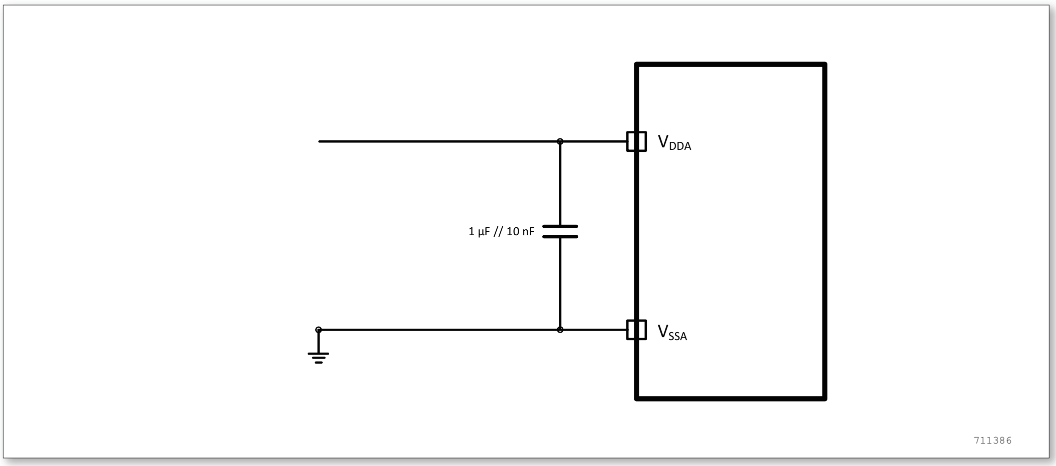

图 24. 供电电源和参考电源去藕线路

8.2 PCB 注意事项

蓝牙工作在 2.4G 无线频段，应尽量避免各种因素对无线收发的影响，注意以下几点：

- 包围蓝牙模块的产品外壳避免使用金属，当使用部分金属外壳时，应尽量让模块天线部分远离金属部分。
- 产品内部金属连接线或者金属螺钉，应尽量远离模块天线部分。
- 模块天线部分应靠载板 PCB 四围放置，不允许放置于板中，且天线下方载板铣空，与天线平行的方向，不允许铺铜或走线。直接把天线部分直接露出载板，也是比较好的选择。
- 模块下方尽量铺大片 GND，走线尽量往外围延伸。
- 建议在基板上的模块贴装位置使用绝缘材料进行隔离，例如在该位置放一个整块的丝印 (TopOverLay)。
- 电源电源线、地线的布线直接关系到产品的性能，把噪声干扰降到最低。布线时要尽量加宽地线、电源线宽度，地线 > 电源线 > 信号线，通常信号线宽 0.2 0.3mm，电源线宽 1.2 2.5mm，用大面积铜层做地线用，在 PCB 上把没有用的空间都铺成地。
- 电源加两个去耦滤波电容：如果使用 LDO 供电，分别取值 1uF 和 0.1uF 用来滤波；如果使用纽扣电池供电，分别取值 10uF 和 10uF 用来稳压。
- 芯片 ANT 到天线之间的走线不能太长，线宽要考虑阻抗匹配要求。

8.3 2.4G 射频天线设计

小型天线尺寸可能会因为性能的影响而导致产生比较大的变化。因此，强烈建议做一个准确的参考设计以达到最佳性能。绘制 PCB 天线时，可参考下图给出的尺寸来绘制天线。

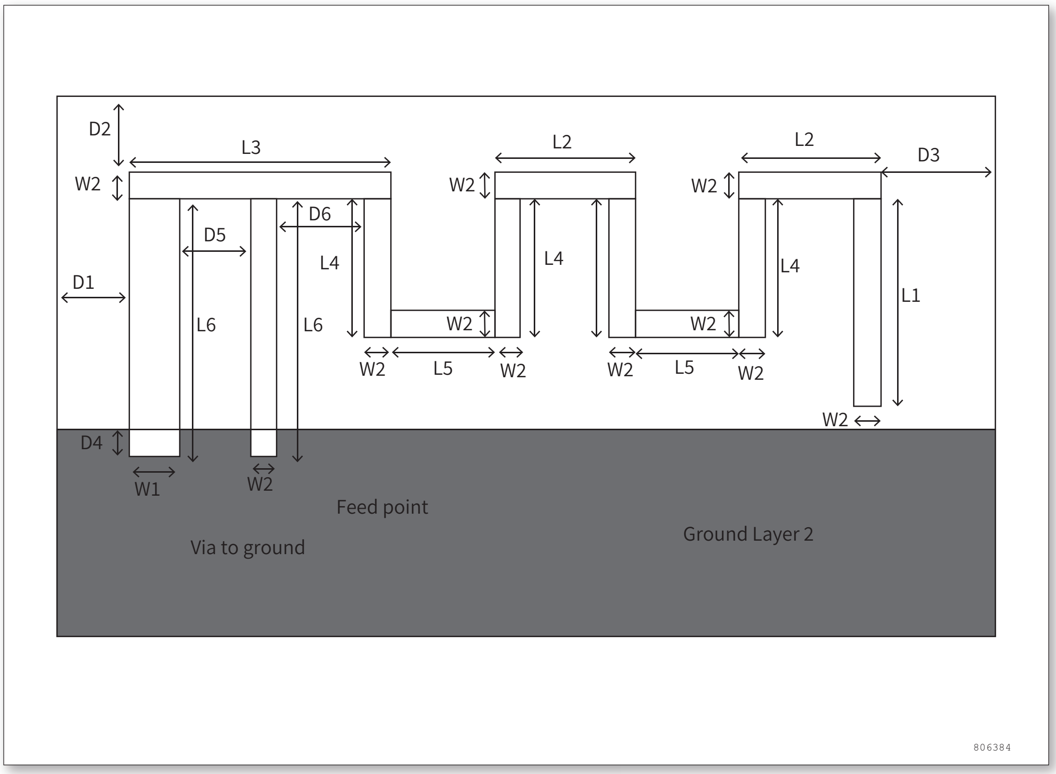

图 25. 天线的尺寸

表 48. 天线的尺寸

标号	典型值 (mm)
L1	3.94
L2	2.70
L3	5.00
L4	2.64
L5	2.00
L6	4.90
W1	0.90
W2	0.50
D1	0.50
D2	0.30
D3	0.30
D4	0.50
D5	1.40
D6	1.70

9 封装特性

封装特性

9.1 封装 LQFP48

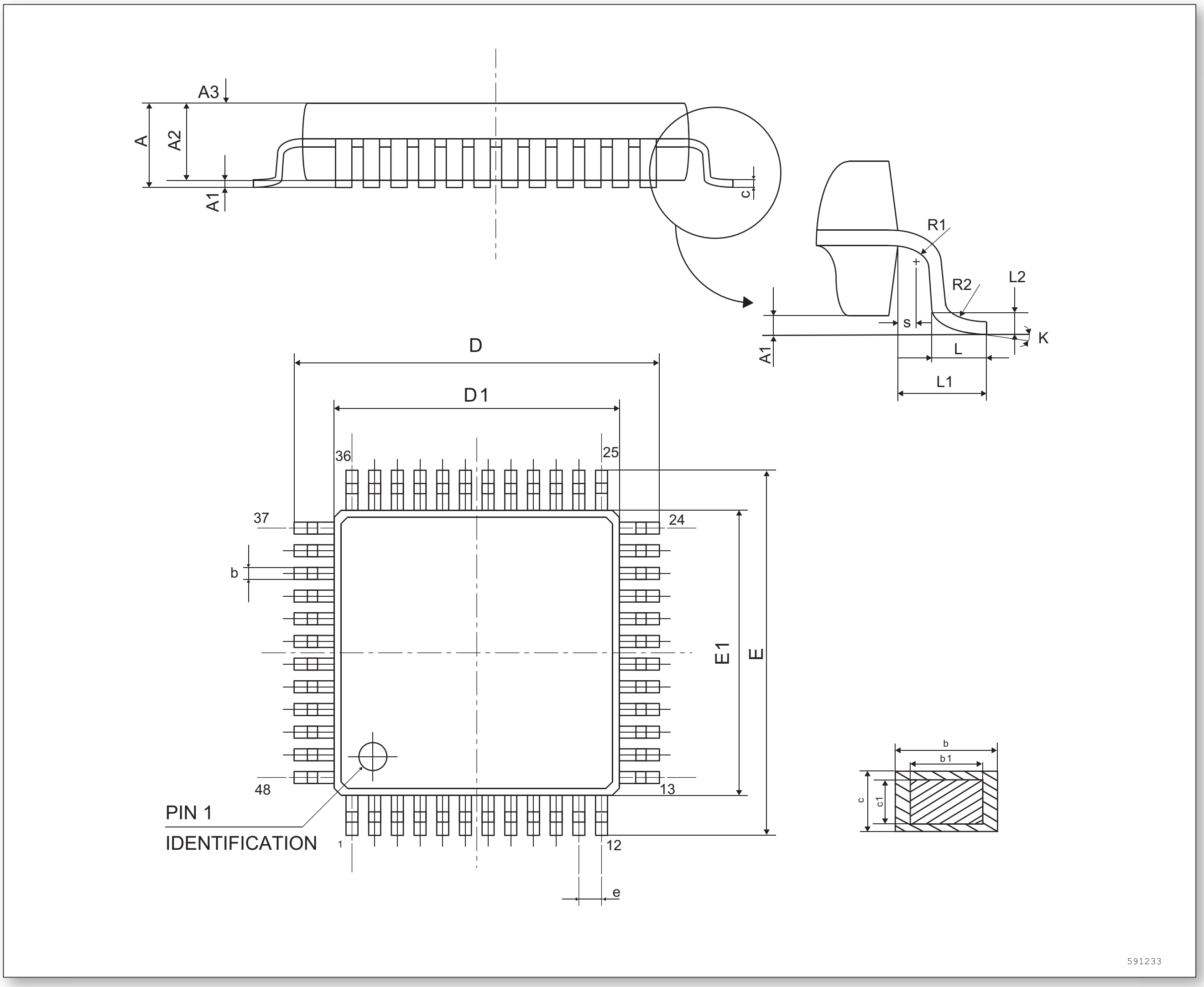

图 26. LQFP48, 48 脚低剖面方形扁平封装图

1. 图不是按照比例绘制。
2. 尺寸单位为毫米。

表 49. LQFP48 尺寸说明

标号	毫米		
	最小值	典型值	最大值
A			1.60
A1	0.05		0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18		0.27
b1	0.17	0.20	0.23
c	0.13		0.18
c1	0.12	0.127	0.134
D	8.80	9.00	9.20
D1	6.90	7.00	7.10
E	8.80	9.00	9.20
E1	6.90	7.00	7.10
e		0.50	
L	0.45	0.60	0.75
L1	1.00REF		
L2	0.25BSC		
R1	0.08		
R2	0.08		0.20
S	0.20		
N	引脚数目 = 48		

9.2 封装 QFN32

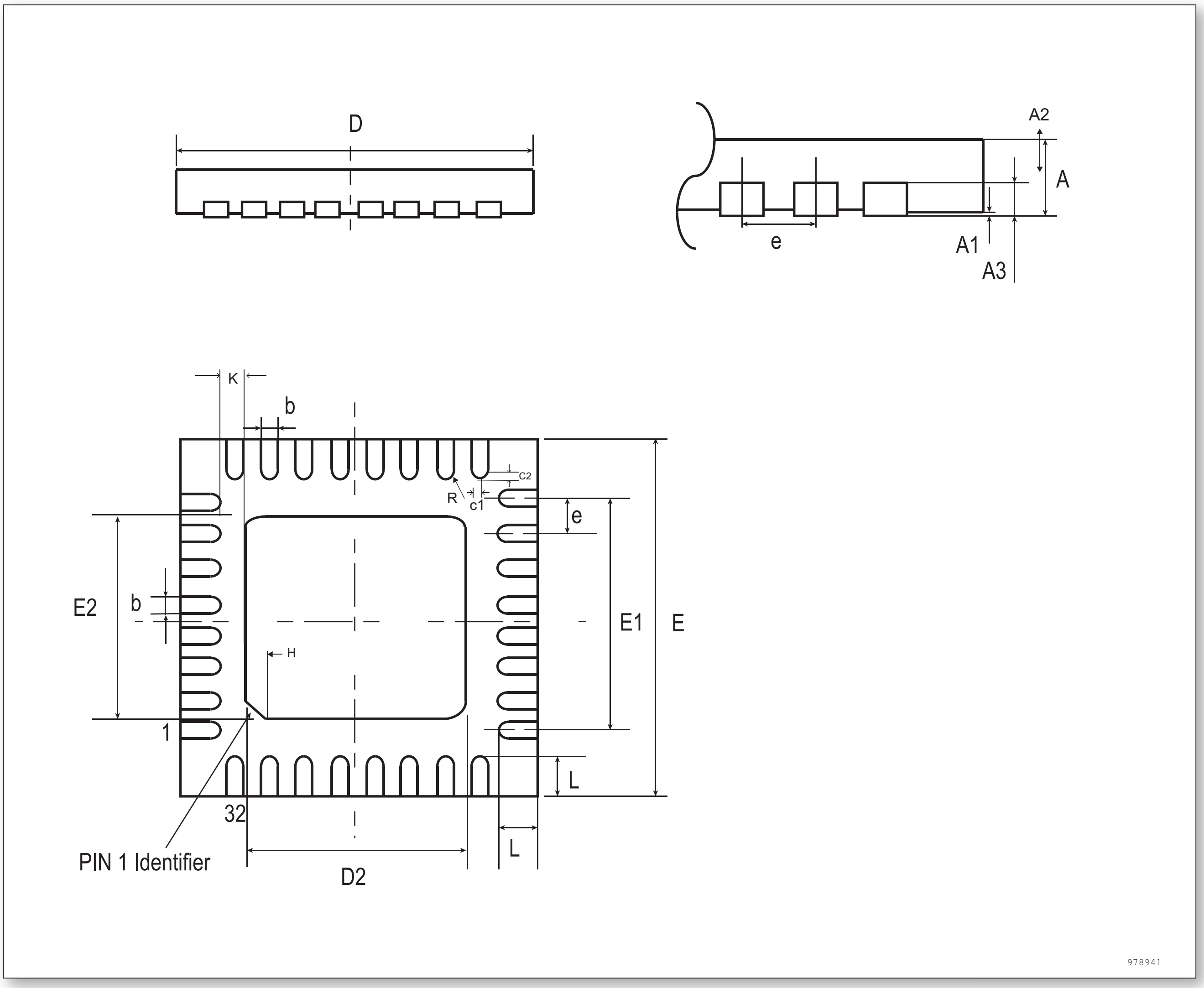

图 27. QFN32 , 32 脚方形扁平无引线封装外形封装图

1. 图不是按照比例绘制。
2. 尺寸单位为毫米。

表 50. QFN32 尺寸说明

标号	毫米		
	最小值	典型值	最大值
A	0.7	0.75	0.80
A1	0.00	0.02	0.05
A2	0.50	0.55	0.60
A3	0.20REF		
b	0.20	0.25	0.30
D	4.90	5.00	5.10
E	4.90	5.00	5.10
D2	3.40	3.50	3.60

标号	毫米		
	最小值	典型值	最大值
E2	3.40	3.50	3.60
e		0.5	
H	0.30REF		
K	0.35REF		
L	0.35	0.40	0.45
R	0.09		
c1		0.08	
c2		0.08	
N	引脚数目 = 32		

10 型号命名

型号命名

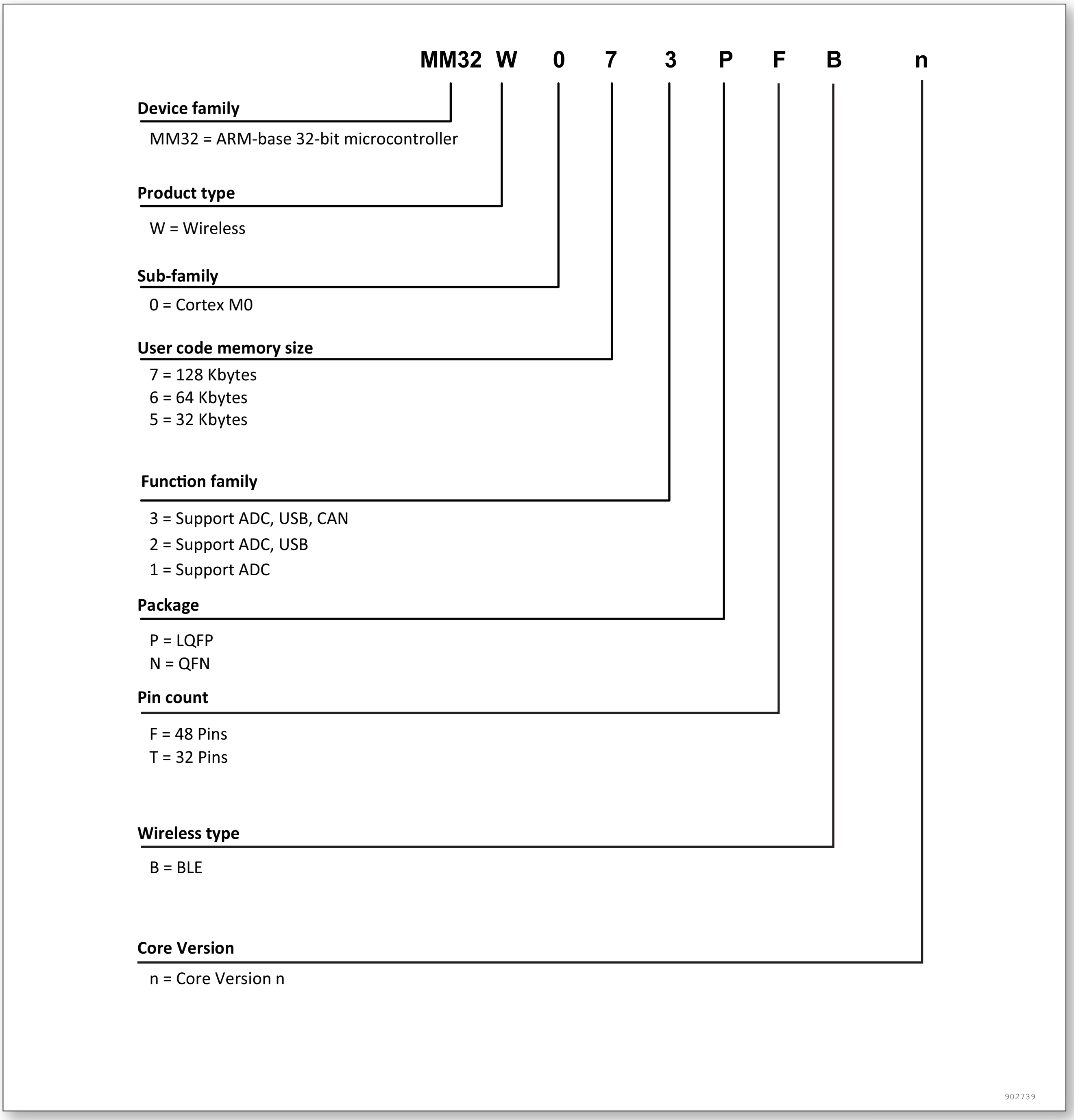

图 28. MM32 型号命名

11 修改记录

修改记录

表 51. 修改记录

日期	版本	内容
2019/07/16	Rev1.83	修改 PB8/PB9 引脚定义。
2019/03/11	Rev1.82	修改封装参数。
2019/01/07	Rev1.81	修改 ADC 电压参数特性。
2018/12/03	Rev1.80	修改参数。
2018/02/23	Rev1.70	修订应用电路图中匹配晶振的电容值和复位电路中的电容值, 及表 10 的功耗参数。
2017/06/21	Rev1.20	修改典型应用电路图。
2017/06/13	Rev1.10	修改工作电压和时钟图。
2017/05/31	Rev1.00	初版。