tyw藏书

ADI 技术指南合集
第一版
数模转换器

ANALOG DEVICES

目录

tyw藏书

DAC 基本架构 I：DAC 串和温度计
(完全解码)DAC.....1
DAC 基本架构 II：二进制 DAC.....7
DAC 基本架构 III：分段 DAC.....17
DAC 接口基本原理.....23
数字电位计.....37
有意为之的非线性 DAC.....47
评估高速 DAC 性能.....51
过采样插值 DAC.....67

DAC基本架构I：DAC串和温度计（完全解码）DAC

作者：Walt Kester

简介

与其将DAC视为具有数字输入和模拟输出的黑匣子，不如了解当今所用的DAC基本架构，这样将更有利于应用，而且能简化选型过程，否则考虑到市场上数不胜数的DAC，产品选型可能非常棘手。

本指南讨论最基本的DAC架构："串"DAC和"温度计"DAC。串DAC的起源与开尔文爵士有关，他于19世纪中叶发明了开尔文分压器。串DAC在当今颇受欢迎，特别是在典型分辨率为6到8位的数字电位计等应用中。温度计DAC则相对独立于代码相关的开关毛刺，因而是低失真分段DAC和流水线式ADC的常用构建模块。

开关：简单的1位DAC

把一个转换开关(单刀双掷SPDT开关)看作1位DAC是合理的，如图1所示，该开关在基准电压与地之间或相等的正负基准电压之间切换输出。这种简单的器件是许多复杂DAC结构的组成元件，在过采样应用中，它用作我们后面将会讨论到的许多Σ-Δ型DAC的基本模拟元件。简单的开关也很容易利用标准CMOS工艺实现。不过，它实在是过于简单，不需要进行详细讨论，考虑更为复杂的结构将更有意义。

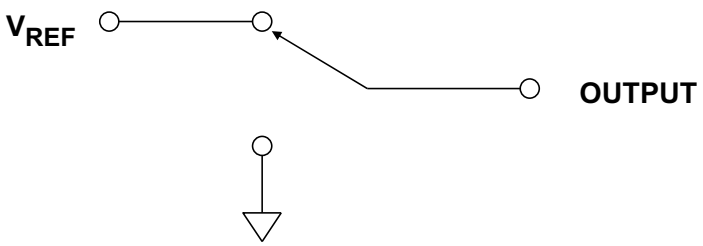


图1：1位DAC：转换开关(单刀双掷SPDT)

开尔文分压器(串DAC)

除了上述转换开关之外，最简单的DAC结构就是图2所示的开尔文分压器或串DAC。这种DAC的N位版本由2^N个等值串联电阻和2^N个开关(通常为CMOS)组成，该信号链的每个节点

与输出端之间都有一个开关。输出通过闭合其中的一个开关而从适当的抽头获得(对于N位数据，将2^N个开关解码为1涉及到略微复杂的数字技术，但数字电路很便宜)。这种DAC的起源可以追溯到开尔文爵士于19世纪中叶的发明，它首先是用电阻和继电器实现，继而在1920年代用真空管实现(参见参考文献1、2、3)。

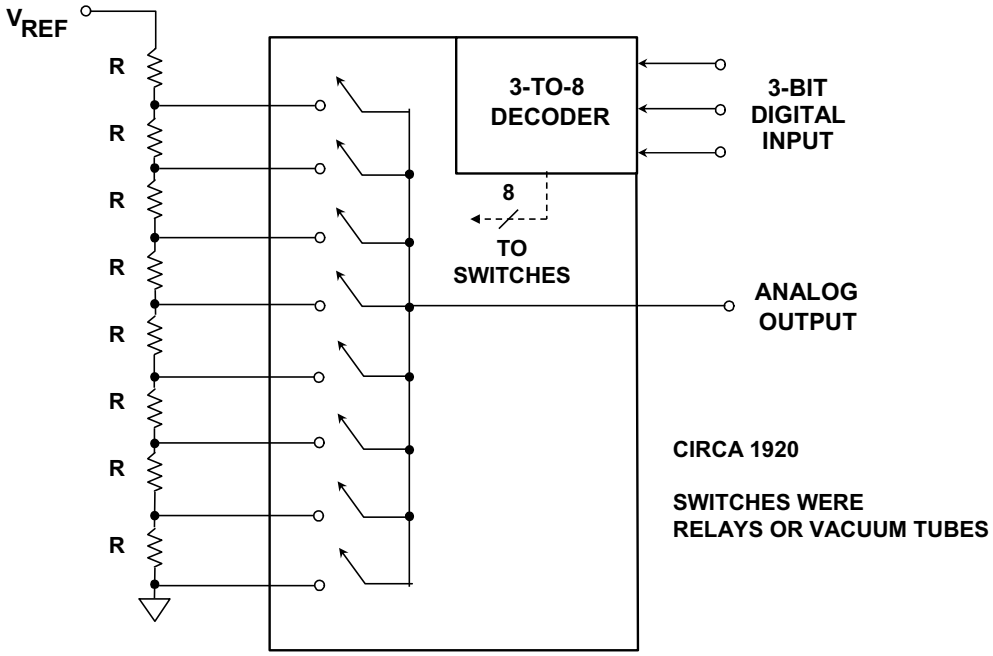


图2：最简单的电压输出温度计DAC：开尔文分压器(“串DAC”)

这种架构非常简单，具有一个电压输出(但输出阻抗与代码相关)，本身具单调性，即使电阻意外短路，输出n也不会大于输出n + 1。如果所有电阻的阻值相等，则它是线性的，但如果需要非线性DAC，也可以故意把它设计成非线性的。在一次跃迁期间仅有两个开关工作，因此它是一种低毛刺架构。此外，开关毛刺与代码无关，因而它非常适合低失真应用。无论代码如何跃迁，毛刺都是相对恒定的，因此毛刺的频率成分位于DAC更新速率及其谐波处，而不是位于DAC基波输出频率的谐波处。串DAC的主要缺点是需要大量电阻和开关才能实现高分辨率，因此它不是常用的简单DAC架构，直到最近极小尺寸IC特性问世，才使得低中分辨率的DAC切实可行。如今，该架构已广泛用于简单DAC中，如数字电位计等。在后文中我们将会看到，其电流输出版本——温度计DAC也用作更复杂的高分辨率分段DAC结构中的元件。

对于全1代码，DAC的输出比基准电压低1 LSB，因此打算用作通用DAC的串DAC在基准电压引脚与第一个开关之间有一个电阻，如图2所示。

在理想电位计中则不然，对于全0和全1代码，应将可变抽头连接到电阻串的一端或另一端。因此，虽然数字电位计与通用串DAC基本相同，但前者少一个电阻，并且电阻串的任何一端都没有其它内部连接。图3所示为一个简单的数字电位计。

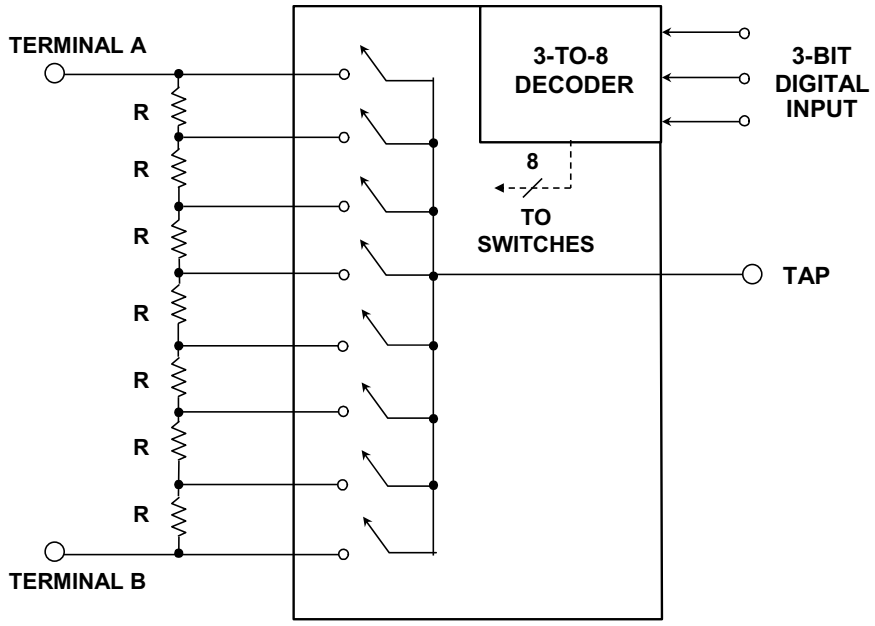


图3：对一个串DAC稍作更改便获得一个“数字电位计”

最简单的数字电位计并不比这个结构复杂太多，电位计的任何一个引脚都不可能处于5V或3V逻辑电源以外的电位。但有些电位计具有更复杂的解码器、电平转换器和额外的高压电源引脚，虽然逻辑控制电平很低(3 V或5 V)，但电位计引脚具有大得多的电压范围，某些情况下可能高达±15 V。数字电位计常常内置非易失性逻辑，当它关断时，其设置得以保存。

显而易见，串DAC具有大量电阻(正如前面所说的，N位DAC有2^N个电阻)。调整串DAC中的每个电阻以获得最佳DNL和INL是不现实的，一部分原因是电阻数量太多，还有一部分原因是电阻太小而难以校准，主要原因则是这样做成本太高。由于物理尺寸的限制，纯串DAC的分辨率一般以8到10位为限。

电流输出温度计(完全解码)DAC

有一种电流输出DAC与串DAC相似，它由2^N-1可开关的电流源(可以是电阻和基准电压源，或者是有源电流源)组成，这些电流源连接到一个输出引脚，该输出引脚必须处于或接近地电位。通常把这种架构称为“温度计”或“完全解码”DAC。图4显示了这样一个温度计DAC，它通过连接到基准电压的电阻来产生电流。

tyw藏书

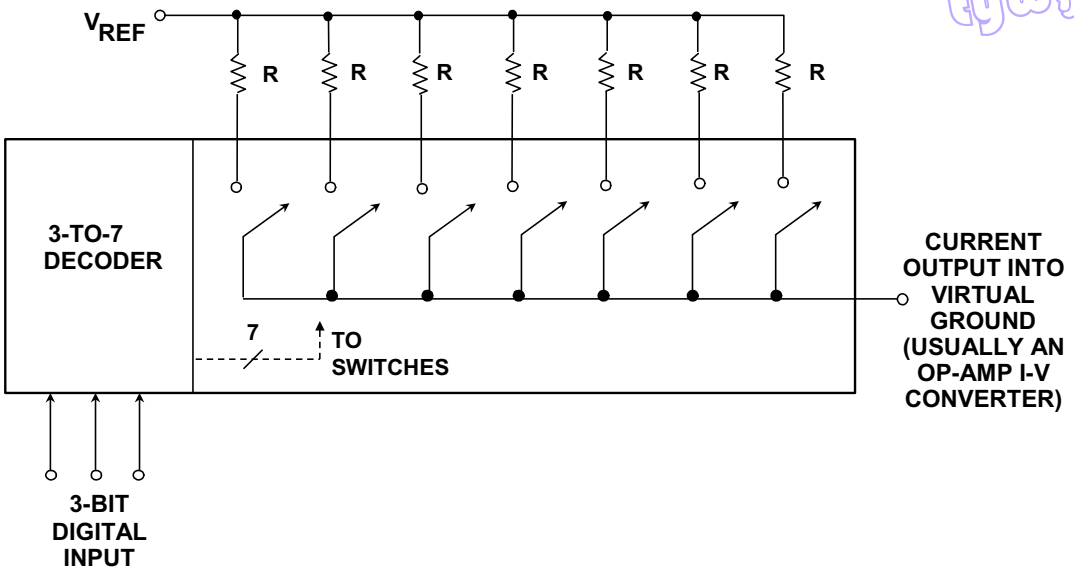


图4：最简单的电流输出温度计(完全解码)DAC

如果使用有源电流源，如图5所示，输出可能具有更大的顺从性，可以使用一个阻性负载来产生输出电压。负载电阻的选择必须适当，使得在最大输出电流时，输出引脚电压仍然位于额定顺从电压范围内。

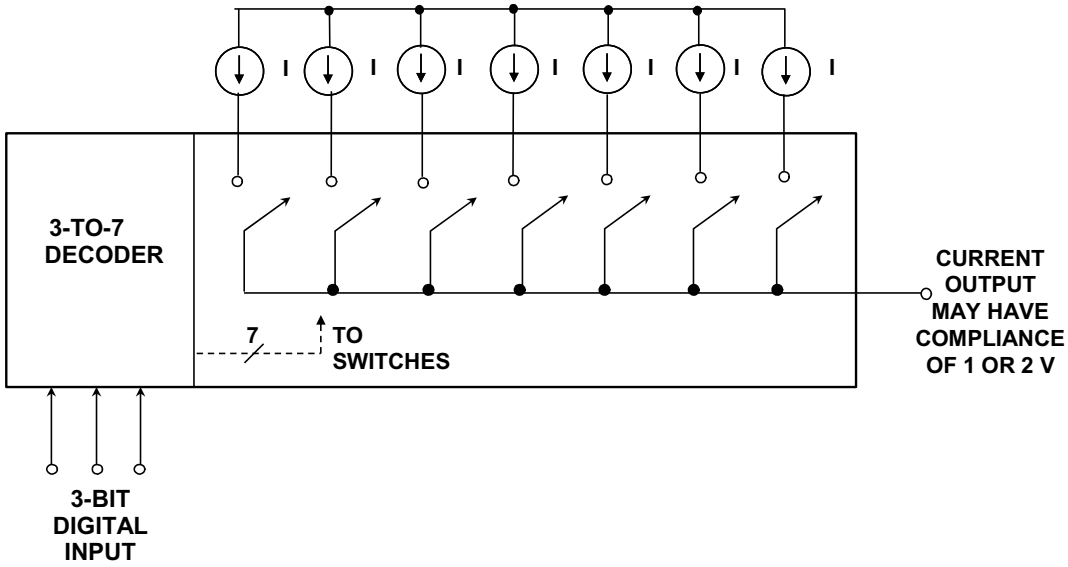


图5：电流源改善基本电流输出温度计DAC

一旦通过提高数字代码将温度计DAC中的电流切换到电路中，则数字代码的任何进一步提高都不会再移除该电流。因此，该结构本身具单调性，与电流的精度无关。同样，像开尔文分压器一样，只有出现高密度IC工艺才能使该架构切实可行地用于实现通用中等分辨率DAC，不过高速应用广泛使用的是它的一个略微复杂的版本(如下图所示)。与开尔文分压

器不同，此类电流模式DAC没有专用名称，但两种类型均可以称为“温度计”DAC或“完全解码”DAC。

电流在两条输出线之间切换的DAC(其中一条线接地，但更一般的情况可能是用作反相输出端)更适合高速应用，因为在两个输出端之间切换电流所造成的瞬间影响小得多，因而其毛刺远低于仅仅电流开关切换的情况。这种架构如图6所示。

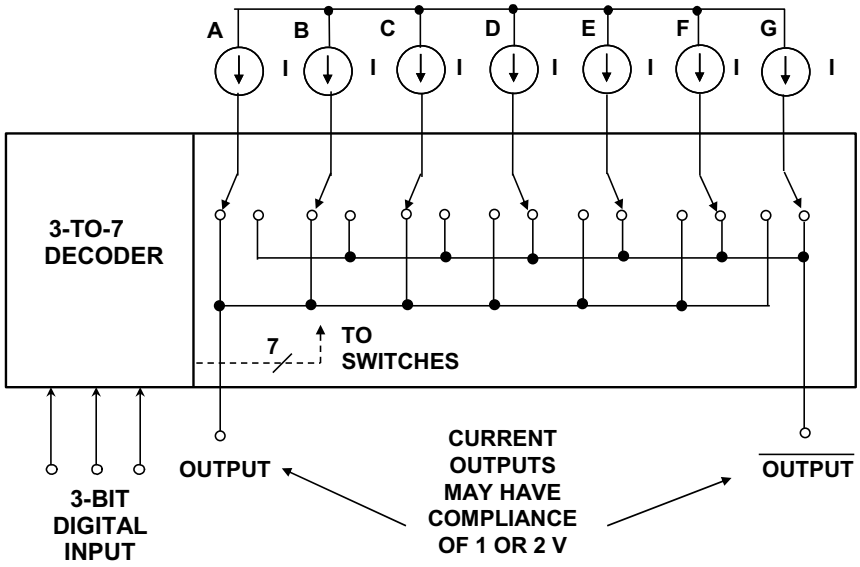


图6：提供互补电流输出的高速温度计DAC

但是，这种DAC的建立时间仍会随着初始代码和最终代码的不同而变化，导致产生“码间干扰”(ISI)。这个问题可以通过更复杂的开关技术来解决，即在变为下一个值之前，输出电流回到0。注意，虽然输出电流回到0，但它并未“关断”；不使用时，电流被释放掉，而不是器件被使能或关断。其中涉及到的技术非常复杂，在此无法详加讨论，有兴趣的读者可以查阅参考文献4。

对于这种DAC的普通(线性)版本，所有电流的标称值相等。如果将其用于高速重构，则可以通过动态改变递增代码切换电流的顺序来提高线性度。一般情况下，代码001始终开启电流A，代码010始终开启电流A和B，代码011始终开启电流A、B和C，依此类推。但为了提高线性度，对于每个新的数据点，递增代码的电流开启顺序可以不同。只要在解码器中增添少量逻辑，就能轻松做到这一点。最简单的实现方法是使用一个计数器，每经过一个时钟周期，计数器便递增1，电流开启顺序随之改变：ABCDEFG、BCDEFGA、CDEFGAB……但这种算法可能会在DAC输出中产生杂散音。更好的办法是对每个时钟周期设置一个

但新的伪随机顺序，这需要更多的逻辑，但正如我们所说的，即使复杂的逻辑现在也已变得非常便宜，而且很容易利用CMOS工艺实现。还有其它更复杂的技术，使用数据本身来选择各位，从而将电流不匹配转化为整形噪声。同样，这些技术太过复杂，不适合在此类指南中进行讨论。(详细讨论见参考文献4和5)

参考文献：

1. Peter I. Wold, "Signal-Receiving System," *U.S. Patent 1,514,753*, filed November 19, 1920, issued November 11, 1924. *(thermometer DAC using relays and vacuum tubes).*

2. Clarence A. Sprague, "Selective System," *U.S. Patent 1,593,993*, filed November 10, 1921, issued July 27, 1926. *(thermometer DAC using relays and vacuum tubes).*

3. Leland K. Swart, "Gas-Filled Tube and Circuit Therefor," *U.S. Patent 2,032,514*, filed June 1, 1935, issued March 3, 1936. *(a thermometer DAC based on vacuum tube switches).*

4. Robert Adams, Khiem Nguyen, and Karl Sweetland, "A 113 dB SNR Oversampling DAC with Segmented Noise-Shaped Scrambling, " *ISSCC Digest of Technical Papers*, vol. 41, 1998, pp. 62, 63, 413. *(describes a segmented audio DAC with data scrambling).*

5. Robert W. Adams and Tom W. Kwan, "Data-directed Scrambler for Multi-bit Noise-shaping D/A Converters," *U.S. Patent 5,404,142*, filed August 5, 1993, issued April 4, 1995. *(describes a segmented audio DAC with data scrambling).*

6. Walt Kester, *Analog-Digital Conversion*, Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 3. Also available as *The Data Conversion Handbook*, Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 3.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

DAC基本架构II：二进制DAC

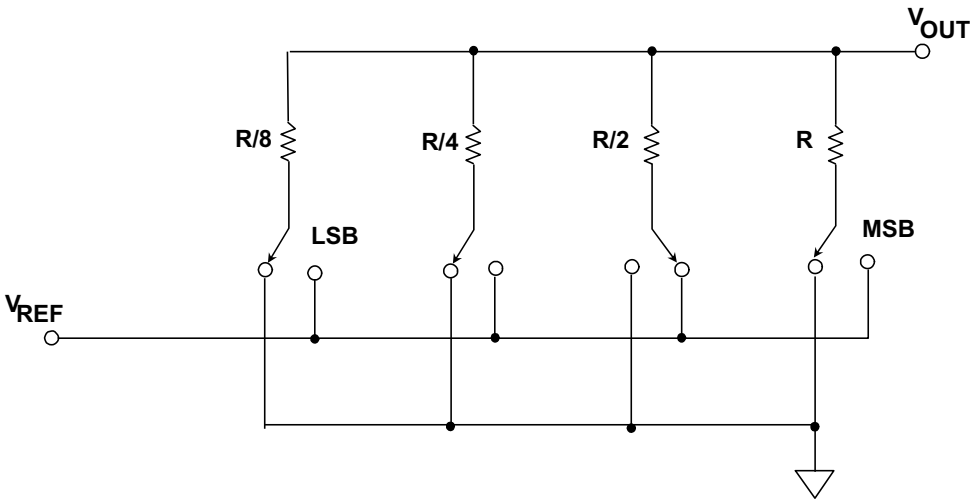
作者：Walt Kester

简介

虽然串DAC和温度计DAC是迄今最为简单的DAC架构，但需要高分辨率时，它们绝不是最有效的。二进制加权DAC每位使用一个开关，首创于1920年代(参见参考文献1、2和3)。自此以后一直颇受欢迎，成为现代精密和高速DAC的支柱架构。

二进制加权DAC

图1所示的电压模式二进制加权电阻DAC是教材中常用的最简单DAC示例。然而，该DAC本身不具单调性，而且实际上难以成功制造并实现高分辨率。此外，电压模式二进制DAC的输出阻抗会随着输入代码的不同而改变。



Adapted from: B. D. Smith, "Coding by Feedback Methods," Proceedings of the I. R. E., Vol. 41, August 1953, pp. 1053-1058

图1：电压模式二进制加权电阻DAC

电流模式二进制DAC如图2A(基于电阻)和图2B(基于电流源)所示。这种N位DAC由比例为1:2:4:8:....:2^{N-1}的N个加权电流源组成，电流源则可以仅由电阻和基准电压源构成。LSB开关2^{N-1}电流，MSB开关1电流，如此等等。原理很简单，但要想制造一个尺寸合理的IC，实际困难很大；即便一个8位DAC，电流或电阻比也会达到128:1，尤其是其温度系数必须匹配。

tyw藏书

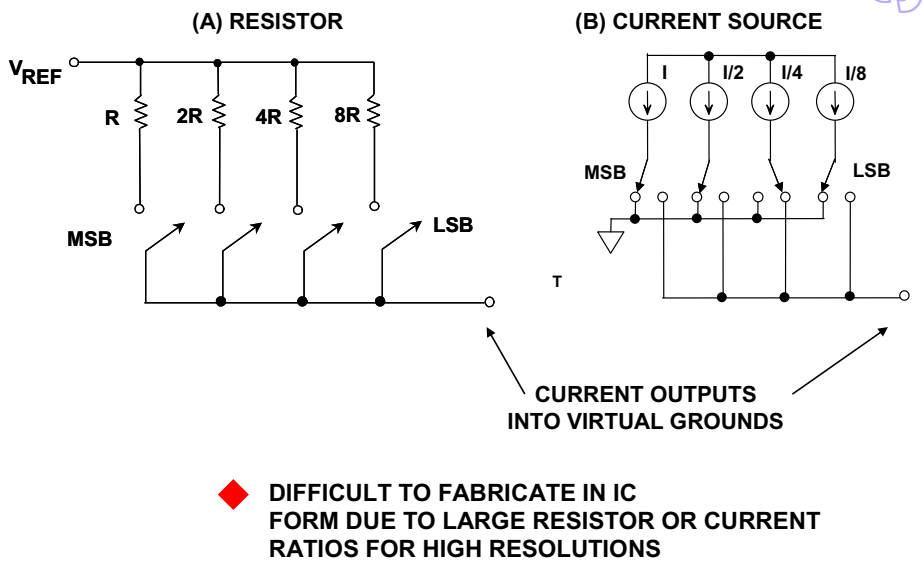


图2：电流模式二进制加权DAC

如果MSB电流值稍低，它将小于所有其它位电流的和，DAC将不具单调性(多数类型DAC的微分非线性在主要位跃迁时最差)。实际上，这种架构从未单独用于DAC集成电路中，但是，其3到4位版本已被用作更复杂结构的组成部分。

然而，还有一种最近才得到广泛使用的二进制加权DAC结构，它使用图3所示的二进制加权电容。使用电容的DAC有一个问题：泄漏会使它在设定后的几毫秒内丧失精度。这使得电容DAC可能不适合通用DAC应用，但在逐次逼近型ADC中，这并不是问题，因为转换会在几微秒甚至更短的时间内完成，泄漏根本来不及产生任何明显的影响。

逐次逼近型ADC结构简单、功耗低，而且具有相当快的转换时间，它可能是使用最广泛的通用ADC架构，但在1990年代中期，分级ADC开始取代逐次逼近型ADC而受到人们的青睐，因为与分级ADC相比，逐次逼近型ADC中的R-2R薄膜电阻DAC使得芯片尺寸更大、成本更高，尽管分级ADC的功耗更高。亚微米CMOS工艺的发展使得尺寸极小(因而价格便宜)、精度极高的开关电容DAC成为可能，由此产生了新一代小型、价廉、低功耗、高精度的逐次逼近型ADC，这种架构因而重新获得了人们的青睐(例如ADI公司的PulSAR®系列)。

tyw藏书

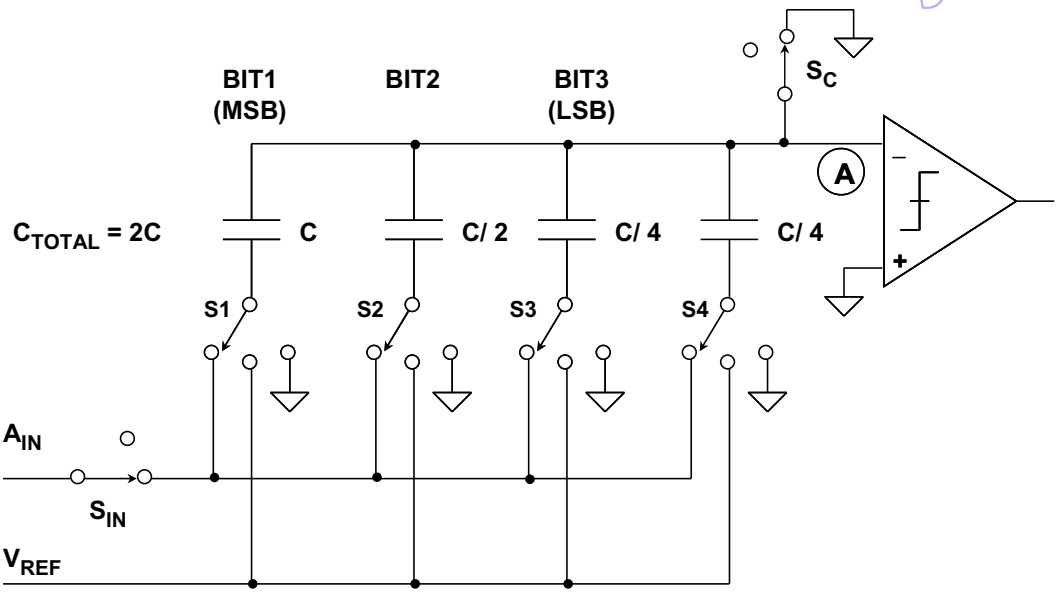


图3：逐次逼近型ADC中的电容二进制加权DAC

电容电荷再分配DAC还具有另一项优势，即DAC本身可以充当一个采样保持电路(SHA)，因此既不需要外部SHA，也不需要为单独集成的SHA分配芯片面积。

R-2R DAC

最常见的DAC构建模块结构之一是R-2R梯形电阻网络，如图4所示。它仅使用两种不同值的电阻，阻值之比为2:1。N位DAC需要2N个电阻，调整相当简单，而且要调整的电阻数量相对较少。

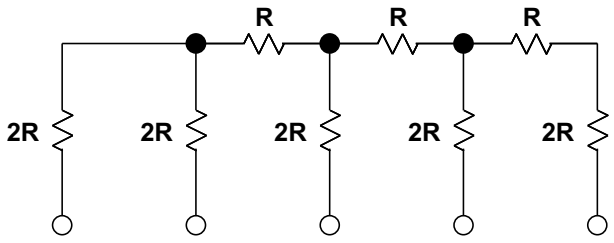
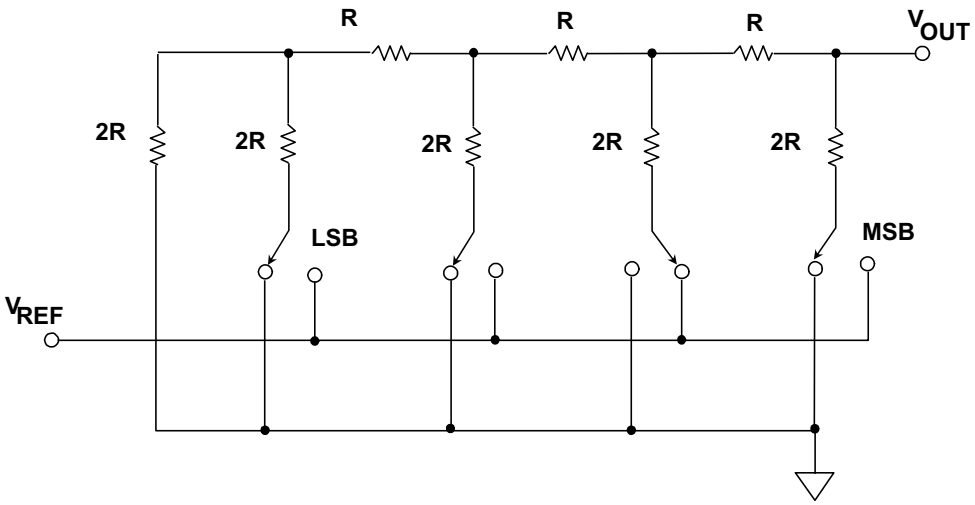


图4：4位R-2R梯形电阻网络

有两种方法可以将R-2R梯形电阻网络用作DAC，分别称为“电压模式”和“电流模式”，有时也分别称为“正常”模式和“反相”模式，但由于业界并未就哪一种模式是梯形电阻网络的“正常”模式达成一致，因此这一种命名方式可能令人误解。每种模式都有其优点和缺点。

图5所示为电压模式R-2R梯形电阻DAC，电阻梯的“横档”或臂在V_{REF}与地之间切换，输出从电阻梯的末端获得。输出可以是一个电压，但由于输出阻抗与代码无关，因此输出也可以是一个流入虚拟地的电流。如前所述，该架构由B. D. Smith于1953年提出(参考文献3)。



Adapted from: B. D. Smith, "Coding by Feedback Methods," Proceedings of the I. R. E., Vol. 41, August 1953, pp. 1053-1058

图5：电压模式R-2R梯形电阻网络DAC

电压输出是这种模式的一个优势，恒定的输出阻抗是另一个优势，后者使得连接到输出节点的任何放大器都更容易稳定。此外，开关使电阻梯的臂在低阻抗V_{REF}连接与同样是低阻抗的地之间切换，因此电容毛刺电流一般不会流到负载。但另一方面，开关必须在宽电压范围(V_{REF}至地)内工作，这给设计和制造都带来难题，而且基准电压输入阻抗随着代码而大幅改变，因此基准电压输入必须通过一个非常低的阻抗驱动。此外，DAC的增益无法通过与V_{REF}引脚串联的电阻进行调整。

图6所示为电流模式R-2R梯形电阻DAC，DAC的增益可以通过V_{REF}引脚上的串联电阻进行调整，这是因为在电流模式中，电阻梯的末端(具有与代码无关的阻抗)用作V_{REF}引脚，臂的末端在地(有时是处于地电位的“反相输出”)与输出线(必须保持地电位)之间切换。电流模式梯形电阻网络的输出一般连接到一个配置为电流电压(I/V)转换器的运算放大器，但由于DAC输出阻抗随着数字代码而变化，该运算放大器的稳定机制变得较为复杂。如前所述，有时将这种架构称为“反相R-2R”DAC。

tyw藏书

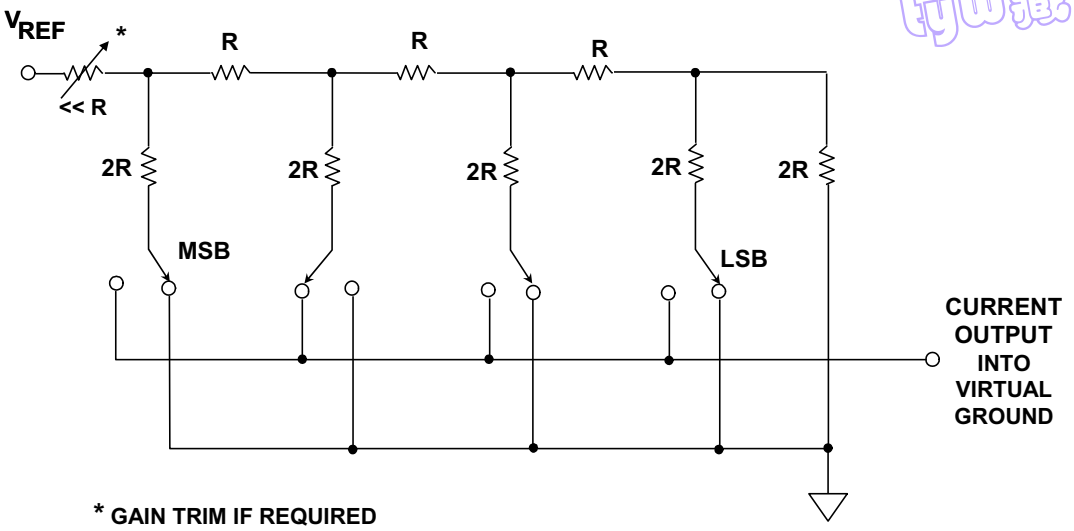


图6：电流模式R-2R梯形电阻网络DAC常用于乘法DAC

以电流模式工作时，开关直接连接到输出线，因此其开关毛刺大于电压模式下的开关毛刺。然而，由于电流模式梯形电阻网络的开关始终处于地电位，因此其设计要求较低，具体来说，其电压额定值不影响基准电压额定值。如果使用能够承载任一方向电流的开关(如CMOS器件)，则基准电压可以具有任一种极性，甚至可以是交流电压。这种结构是乘法DAC (MDAC)最常用的一种结构。

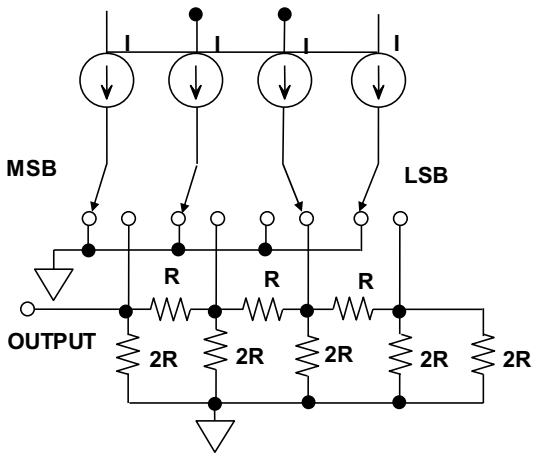
如果开关是先合后开型(在此类DAC中就是如此)，并且电阻为薄膜型，则由于开关始终处于或非常接近地电位，最大基准电压可能远远超过逻辑电压。对于CMOS MDAC，在采用5V单电源供电的同时支持±30 V基准电压(甚至60V峰峰值交流基准电压)并不罕见。

在所有DAC中，输出均为基准电压与数字代码的乘积，如此说来，所有DAC都是乘法DAC。但有些DAC使用外部基准电压，它可以在很宽的范围内变化。这些才是一般所称的“乘法DAC”或MDAC，其模拟输出等于模拟输入与数字代码的乘积，它们能在许多不同的应用中发挥重要作用。按照MDAC的严格定义，当其基准电压降至0时，它仍能继续正常工作，但对于在10:1甚至6:1基准电压范围内工作的DAC，使用该术语则不那么严格，此类器件称为“半乘法”DAC可能更准确。

有些类型的乘法DAC只能采用一种极性(二象限)的基准电压工作，有些则能处理双极性(正或负)基准电压，甚至可以采用交流信号作为基准电压。采用双极性基准电压工作的双极性DAC称为“四象限”乘法DAC。某些类型的MDAC采用特殊配置，其基准电压可以远大于电源电压。

电流模式梯形电阻网络和CMOS开关支持正、负和交流基准电压V_{REF}，如前面的图6所示。这是一种简单的MDAC实现方案，还有其它几种方案也是可行的。

R-2R DAC的另一种常见形式是将等电流切换到R-2R网络中，如图7所示。这种架构由EPSCO(现名为Analogic, Inc.)的Bernard M. Gordon在一个真空管11位50 kSPS逐次逼近型ADC中首次实现。Gordon的1955年专利申请(参考文献5)描述了该ADC，它是首款完整的商用转换器。在该架构中，DAC的输出阻抗等于R，此结构常用于高速视频DAC中。它的一个独特优势是无论分辨率如何，只需要2:1的电阻比。然而，在某些应用中，R-2R网络的输出阻抗相对较低可能是一个缺点。



Adapted from: Bernard M. Gordon and Robert P. Talambiras, "Signal Conversion Apparatus," U.S. Patent 3,108,266, filed July 22, 1955, issued October 22, 1963

图7：等电流源切换到R-2R梯形电阻网络

图8所示的DAC将二进制加权电流切换到负载。输出阻抗较高，这种架构一般具有1V左右的输出顺从电压。目前讨论的所有二进制加权DAC都有一个主要问题，这就是高分辨率需要大电阻比，使得制造非常困难。

tyw藏书

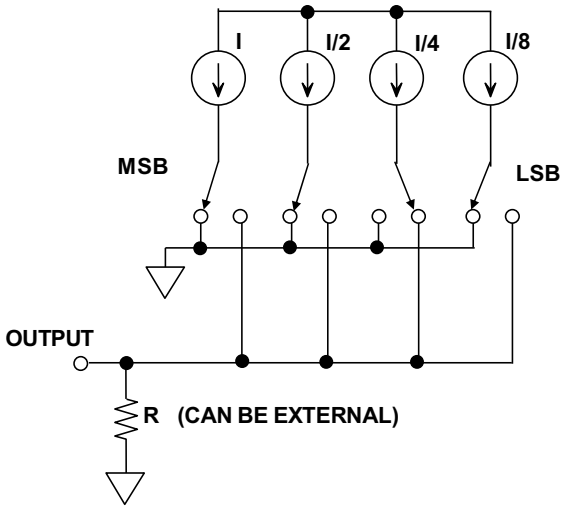


图8：二进制加权电流源切换到负载

关于单芯片DAC的一些历史知识

1970年，ADI公司推出了AD550“μDAC”单芯片四通道(4位)电流开关构建模块IC，如图9所示。注意，二进制加权电流是利用一个外部薄膜网络产生，而片内激光调整薄膜电阻技术直到数年后才开发出来。晶体管面积成比例(8:4:2:1)，从而确保所有晶体管的电流密度相等，以实现最佳V_{BE}匹配。

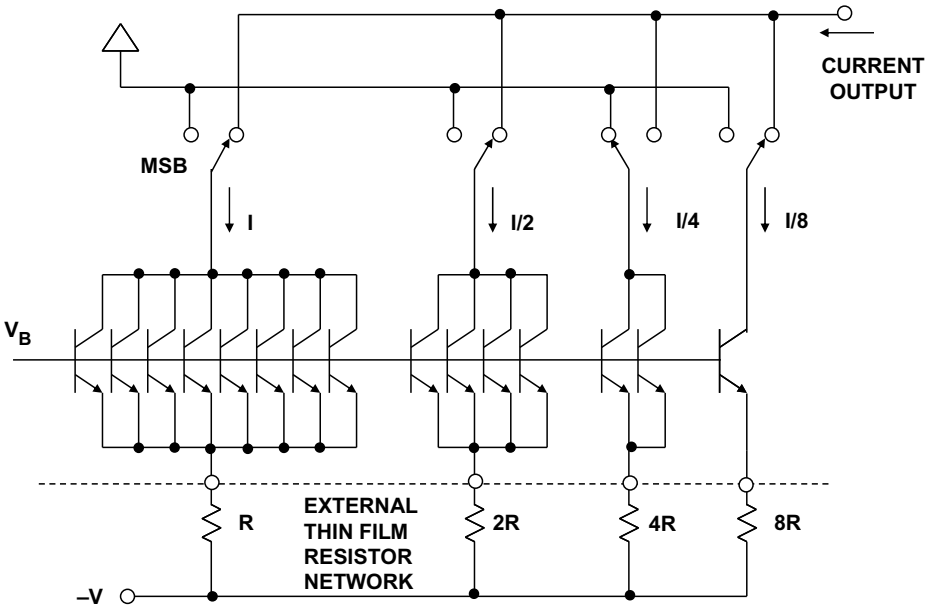


图9：二进制加权4位DAC——AD550“μDAC”四通道开关

在四通道开关中产生二进制加权电流的另一种方法如图10所示，二进制电流分配由连接到晶体管发射极的R-2R梯形电阻网络实现。

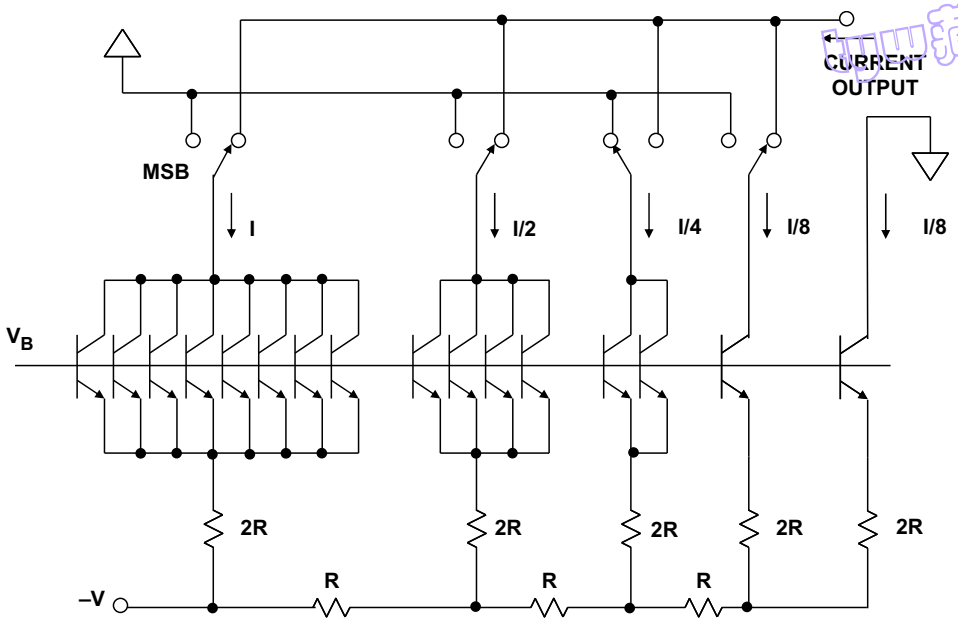


图10：二进制加权4位DAC——R/2R梯形电阻网络电流设置电阻

图11显示如何连接三个四通道开关AD550和16:1级间衰减器来构成12位电流输出DAC。注意，所需的最大电阻比16:1是可实现的。这种单芯片“四通道开关”(AD550 μDAC)与薄膜电阻网络(AD850)、基准电压源、运算放大器一起，构成1970年代早期12位DAC常用的构建模块，数年后才推出IC形式的完整功能DAC。四通道开关的概念已由James J. Pastoriza申请专利(1970年申请，参考文献6)。

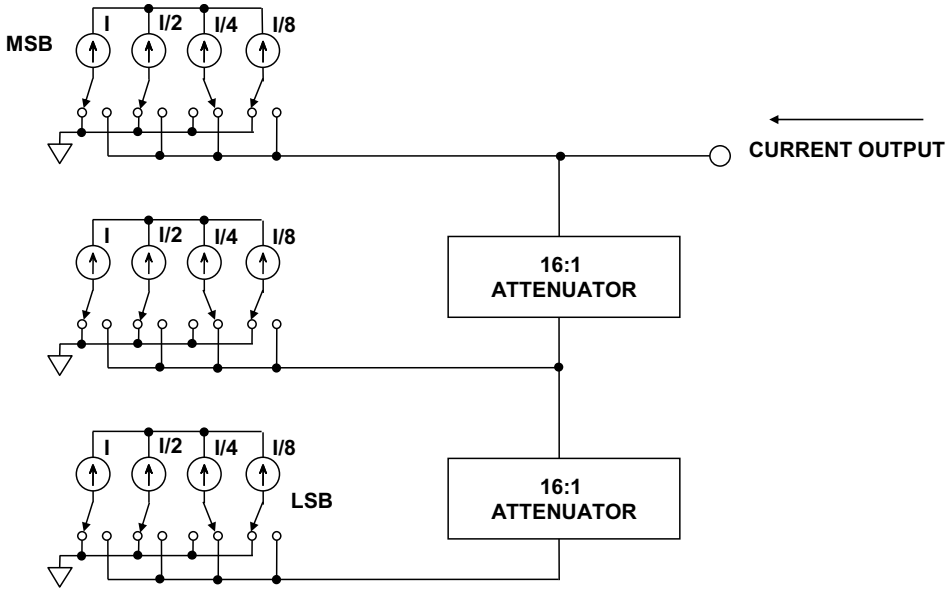
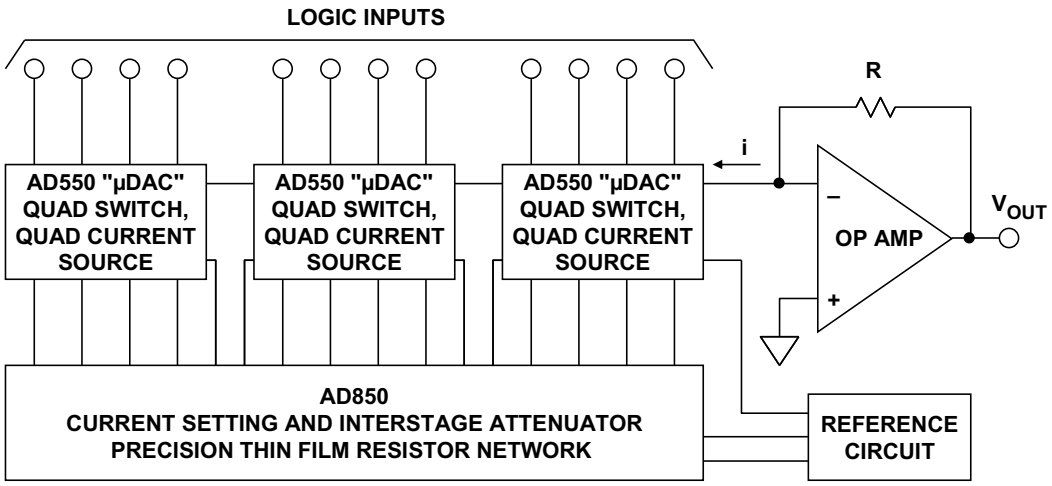


图11：使用级联二进制“四通道开关”的12位电流输出DAC

图12所示为1970年代的完整12位DAC解决方案，包括三个单芯片四通道开关、一个薄膜电阻网络、一个运算放大器和一个基准电压源。单芯片四通道开关的匹配精度与外部薄膜网络的精度和跟踪能力共同实现了12位性能，无需进一步调整。参考文献7对这种基于四通道开关的12位DAC进行了有趣、详尽的分析。



James J. Pastoriza, "Solid State Digital-to-Analog Converter,"
U.S. Patent 3,747,088, filed December 30, 1970, issued July 17, 1973

图12：1970年代12位DAC使用四通道电流开关、薄膜电阻网络、运算放大器和齐纳二极管基准电压源

利用四通道开关方法实现完整的单芯片12位DAC需要解决多个问题，其中之一是每个4位DAC都要求8:4:2:1比例的发射极面积，总共需要15个单位发射极面积，这会占用相当大的芯片面积。四通道开关构建模块问世数年后，ADI公司的Paul Brokaw发明了一种技术，该技术使得仅前两个电流源需要2:1比例的发射极，后续电流源具有相同的单位发射极面积，但以不同的电流密度工作，同时电流仍然保持稳定，不随温度而变化。Paul Brokaw的著名专利(1975年申请)详细描述了这一技术，该篇专利可能是数据转换器领域引用最多、流传最广的专利(参考文献8)。

应当注意，这些早期IC DAC所建立的基本电路原理至今仍然广泛适用。

参考文献：

tyw藏书

1. Paul M. Rainey, "Facsimile Telegraph System," *U.S. Patent 1,608,527*, filed July 20, 1921, issued November 30, 1926. *(the first PCM patent. Also shows a relay-based 5-bit electro-mechanical flash converter and a binary DAC using relays and multiple resistors)*.

2. John C. Schelleng, "Code Modulation Communication System," *U.S. Patent 2,453,461*, Filed June 19, 1946, Issued November 9, 1948. *(vacuum tube binary DAC using binary weighted voltages summed into load resistor with equal resistor weights).*

3. B. D. Smith, "Coding by Feedback Methods," *Proceedings of the I. R. E.*, Vol. 41, August 1953, pp. 1053-1058. *(Smith uses an internal binary weighted DAC and also points out that a non-linear transfer function can be achieved by using a DAC with non-uniform bit weights, a technique which is widely used in today's voiceband ADCs with built-in companding. He was also one of the first to propose using an R/2R ladder network within the DAC core)*.

4. Bruce K. Smith, "Digital Attenuator," *U.S. Patent 1,976,527*, filed July 17, 1958, issued March 21, 1961. *(describes a transistorized voltage output DAC similar to B. D. Smith above).*

5. Bernard M. Gordon and Robert P. Talambiras, "Signal Conversion Apparatus," *U.S. Patent 3,108,266*, filed July 22, 1955, issued October 22, 1963. *(classic patent describing Gordon's 11-bit, 50kSPS vacuum tube successive approximation ADC done at Epsco. The internal DAC represents the first known use of equal currents switched into an R/2R ladder network.)*

6. James J. Pastoriza, "Solid State Digital-to-Analog Converter," *U.S. Patent 3,747,088*, filed December 30, 1970, issued July 17, 1973. *(the first patent on the quad switch approach to building high resolution DACs).*

7. Eugene R. Hnatek, *A User's Handbook of D/A and A/D Converters*, John Wiley, New York, 1976, ISBN 0-471-40109-9, pp. 282-295. *(contains an excellent description of the Analog Devices' AD550 monolithic µDAC quad current switch, and AD850 thin film network—building blocks for 12-bit DACs introduced in 1970).*

8. Adrian Paul Brokaw, "Digital-to-Analog Converter with Current Source Transistors Operated Accurately at Different Current Densities," *U.S. Patent 3,940,760*, filed March 21, 1975, issued February 24, 1976. *(the most referenced data converter patent ever issued).*

9. Walt Kester, *Analog-Digital Conversion*, Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 3. Also available as *The Data Conversion Handbook*, Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 3.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

DAC接口基本原理

作者：Walt Kester

简介

本教程概述与内置基准电压源、模拟输出、数字输入和时钟驱动器的DAC接口电路相关的一些重要问题。由于ADC也需要基准电压源和时钟，因此本教程中与这些主题相关的大多数概念同样适用于ADC。

DAC基准电压

越来越多的人简单地将DAC视作具有数字输入和一个模拟输出的器件。但模拟输出取决于是否存在称为基准电压源的模拟输入，且基准电压源的精度几乎始终是DAC绝对精度的限制因素。在匹配基准电压源和数据转换器时，基准电压源向导(Voltage Reference Wizard)等设计工具非常有用。如需获取这些工具及其它，请访问ADI公司网站的设计中心(Design Center)部分。

有些ADC和DAC内置基准电压源，而有些则没有。有些ADC使用电源作为基准电压源。不幸的是，与ADC/DAC基准电压源相关的标准是少之又少。有些情况下，内置基准电压源的转换器通常可以通过以更为精密和稳定的外部基准电压源覆盖或替换内部基准电压源来提高直流精度。其它情况下，通过使用外部低噪声基准电压源，也可以改善高分辨率ADC的无噪声码分辨率。

各种各样的ADC和DAC以各种各样的方式支持使用外部基准电压源来替代内部基准电压源。图1所示为一些常见配置(但显然并不是全部)。图1A所示为需要外部基准电压源的转换器。通常建议在ADC/DAC REF IN引脚附近添加合适的去耦电容。基准电压源数据手册中通常指定了合适的电容值。另外，基准电压源在使用必要的容性负载时保持稳定是非常重要的(详见下文)。

图1B所示为内置基准电压源的转换器，其中基准电压源也引出到器件上的某个引脚。这样，只要负载不超过额定值，就可以在电路中的其它位置上使用该器件。另外，还要在转换器引脚附近放置电容。如果内置基准电压源可以通过引脚输出来供外部使用，ADC或DAC数据手册上通常会指定其精度、稳定性和温度系数。

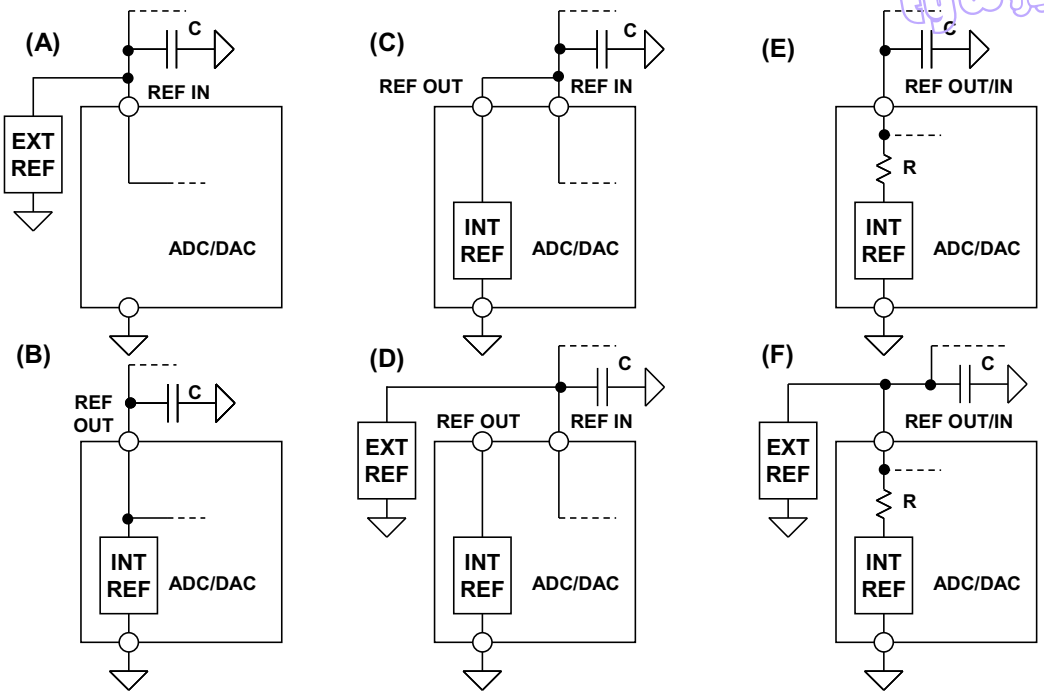


图1：一些常见的ADC/DAC基准电压源选项

如果是要在电路中的其它位置上使用基准输出，则必须严格遵守与扇出和负载相关的数据手册规格。此外，必须小心地进行基准输出布线，从而最大程度地减少噪声拾取。很多情况下，应直接在REF OUT引脚处连接合适的运算放大器缓冲器，然后再扇出至电路的各种其它部分。

图1C所示为采用内部或外部基准电压源但需要额外封装引脚的转换器。如果使用的是内部基准电压源(如图1C)，REF OUT只需外部连接到REF IN并根据需要进行去耦。如果使用的是外部基准电压源(如图1D)，REF OUT保持悬空，且外部基准电压源经过去耦后施加于REF IN引脚。这种配置相当灵活，可使用相同的基准电压源来驱动类似的ADC或DAC，从而实现器件之间的良好跟踪性能。

图1E所示为使用单个封装引脚以外部基准电压源来覆盖驱动内部基准电压源的配置。电阻R的值通常为数kΩ，因此允许通过将低阻抗外部基准电压源连接到REF OUT/IN引脚来覆盖驱动内部基准电压源。图1F显示的是如何连接外部基准电压源来覆盖内部基准电压源。

图1所示的配置并不是ADC和DAC基准电压源的唯一配置；欲了解有关选项、扇出和去耦等的详细信息，请查阅相关的数据手册。

虽然基准电压源元件本身可以是带隙型、嵌入式齐纳型或XFET™型，但实际上所有基准电压源都具有某种类型的输出缓冲器运算放大器。运算放大器将基准电压源元件与输出端隔离开来并还提供驱动功能。不过，这种运算放大器必须遵守与运算放大器稳定性相关的一般通则，而这就是基准电压源去耦话题与本文讨论相关的原因所在。

注意，ADC或DAC的基准电压输入与ADC的模拟输入相似，因为内部转换过程可以在该引脚处注入瞬态电流。这就要求进行充分去耦来稳定基准电压。添加此类去耦功能可能导致某些类型的基准电压源中出现不稳定，具体取决于输出运算放大器设计。当然，基准电压源数据手册可能并不会给出输出运算放大器的任何详细信息，而这在一定程度上让设计人员陷入两难境地，担心是否能够保持稳定且不会产生瞬态误差。很多情况下，ADC或DAC数据手册将会推荐合适的外部基准电压源和建议的去耦网络。

设计良好的基准电压源可以在采用重容性去耦时保持稳定。不幸的是，有些基准电压源并不能做到这点，并且电容越大，瞬态响铃振荡量实际上会增加。由于转换器几乎都需要一定的本地去耦，因此此类基准电压源在数据转换器应用中实际上毫无用处。

基准电压源和数据转换器之间可以添加合适的运算放大器缓冲器。不过，有很多品质良好的基准电压源可以在使用输出电容时保持稳定。数据转换器应用中应当选择这种类型的基准电压源，而不是进一步提高运算放大器的复杂性和成本。

DAC模拟输出考虑因素

DAC的模拟输出可能是电压或电流。两者情况下，可能都需要知道输出阻抗。如果对电压输出进行了缓冲，则输出阻抗将很低。而电流输出和未缓冲的电压输出将存在较高阻抗，并还可能具有电抗性分量以及纯粹的电阻性分量。在有些DAC架构的输出结构中，输出阻抗与DAC上的数字码字成函数关系，这点应会在数据手册中明确注明。

理论上，电流输出应当连接到电阻为零欧姆的地电位。在实际应用中，该输出将采用非零阻抗和电压。“顺从性”标题下只是定义了该输出可耐受的电压偏差大小，端接电流输出DAC时应当注意到此项技术规格。

适合视频、RF或IF应用的大多数高速DAC具有电流输出，旨在直接驱动源和负载端接电缆。例如，20-mA电流输出DAC可以在25-Ω负载(相当于50-Ω源和负载端接电缆的直流电阻)上产生0.5 V的电压。大多数情况下，单电源高速CMOS DAC具有至少+1 V的正输出顺从电压和数百毫伏的负输出顺从电压。

很多情况下(如TxDAC®系列)，同时支持真正电流输出和互补电流输出。差分输出可以直接驱动变压器的初级绕组，并且通过将输出绕组的一侧接地，可以在次级绕组处产生单端信号。与简单地从DAC电流输出之一直接获取输出信号并将其它输出接地相比，这种方法通常可以在高频率下获得更佳失真性能。

现代电流输出DAC通常具有数个差分输出，以便实现高共模抑制并减少偶数阶失真产物。常见的满量程输出电压范围为2 mA至30 mA。

在许多应用中，需要将DAC的差分输出转换成适合驱动同轴线路的单端信号。只要无需低频响应，那么通过RF变压器便可轻松地实现这点。图2所示为这种方法的典型示例。DAC的高阻抗电流输出与50 Ω电阻差分端接，从而将变压器的源阻抗定义为50 Ω。

所得到的差分电压驱动1:1　　RF变压器的初级绕组，从而在次级绕组的输出端产生单端电压。50 Ω LC滤波器的输出与50 Ω负载电阻RL相匹配，进而最终产生1 Vp-p的输出电压。

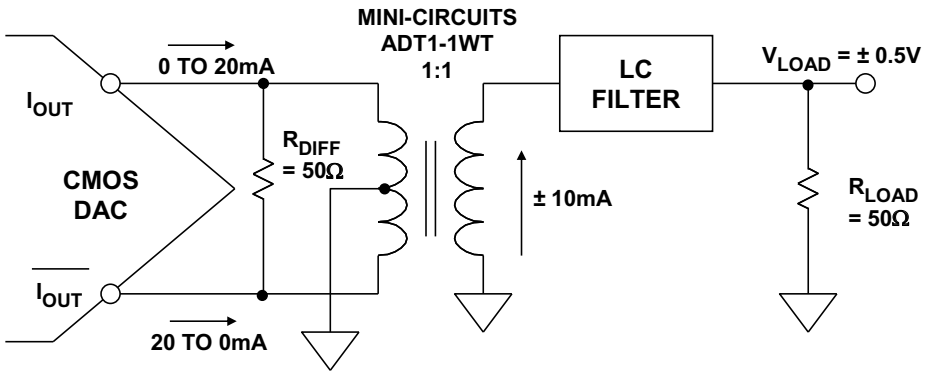


图2：差分变压器耦合

变压器不仅用于将差分输出转换成单端信号，而且还将DAC的输出与LC滤波器的抗性负载隔离开来，因而可以改善整体失真性能。

需要低至DC的频率响应时，可以连接运算放大器作为差分转单端转换器来获取单端输出。　在图3中，运算放大器AD8055用于实现高带宽和低失真。电流输出DAC驱动平衡的25 Ω阻性负载，从而在各输出端产生0至+0.5 V的错相电压。这项技术用于代替直接I/V转换，从而防止高压摆率DAC电流导致放大器过载和引入失真。必须小心地处理使DAC输出电压位于其顺从电压额定值范围之内。

AD8055的增益配置为2，以最终产生2 V p-p且以地电压为基准的单端输出电压。注意，由于输出信号摆幅高于/低于地，因此需要采用双电源运算放大器。

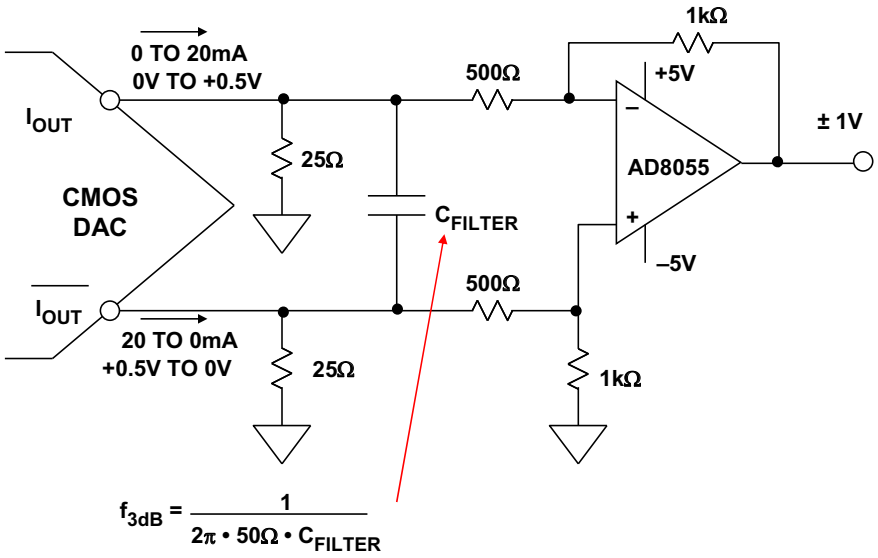


图3：采用双电源运算放大器时的差分直流耦合输出

C_{FILTER}电容构成具有50 Ω等效差分输出阻抗的差分滤波器。此滤波器可减少运算放大器的任何压摆率型失真，而该滤波器的最佳截止频率是凭经验来确定的，旨在获得最佳整体失真性能。

只要运算放大器的共模电压设为中间电源电压(+2.5 V)，则图3中的电路经过改良后可以采用单电源供电。具体如图4所示，其中使用的是运算放大器AD8061。输出电压为2 Vp-p且以共模电压+2.5 V为中心。此共模电压可以使用电阻分压器从+5 V电源产生，或直接从+2.5 V基准电压源产生。如果使用+5 V电源来提供共模电压，则必须进行深度去耦，以免放大电源噪声。

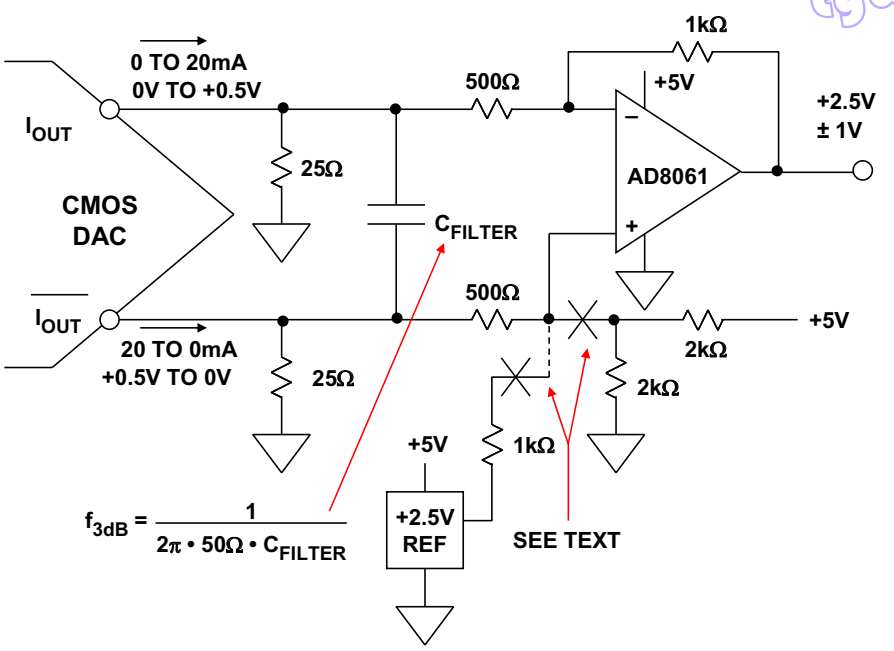


图4：采用单电源运算放大器时的差分直流耦合输出

单端电流电压转换

通过使用单个运算放大器作为I/V转换器，便可轻松执行单端电流电压转换，如图5所示。AD768的10 mA满量程DAC电流输出可以在200 Ω RF电阻上产生0至+2 V的输出电压。

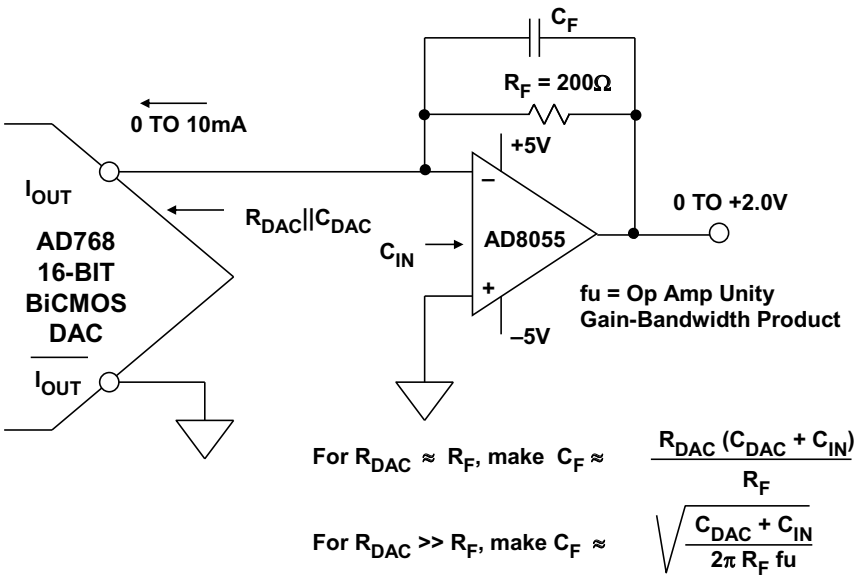


图5：适用于16位精密DAC AD768的单端I/V运算放大器接口

通过驱动AD8055运算放大器的虚拟地，可以最大程度地减少因DAC输出阻抗中的非线性而导致的任何失真。实际上，这种类型的DAC大多数都使用I/V转换器进行过工厂调整。

但是应注意，与差分工作模式相比，以这种方式使用DAC的单端输出时，共模抑制性能将下降，且2阶失真产物将增加。

CF反馈电容应当进行优化，以在电路中实现最佳脉冲响应。图中给出的等式仅供参考。

基于R-2R的电流输出DAC的输出阻抗与码字有关，因此其输出必须驱动运算放大器的虚拟地，以便维持线性。16/14位DAC AD5545/AD5555都是此种架构的很好范例。图6所示为一种合适的接口电路，其中ADR03用作2.5 V基准电压源，而AD8628斩波稳定运算放大器用作输出I/V转换器。

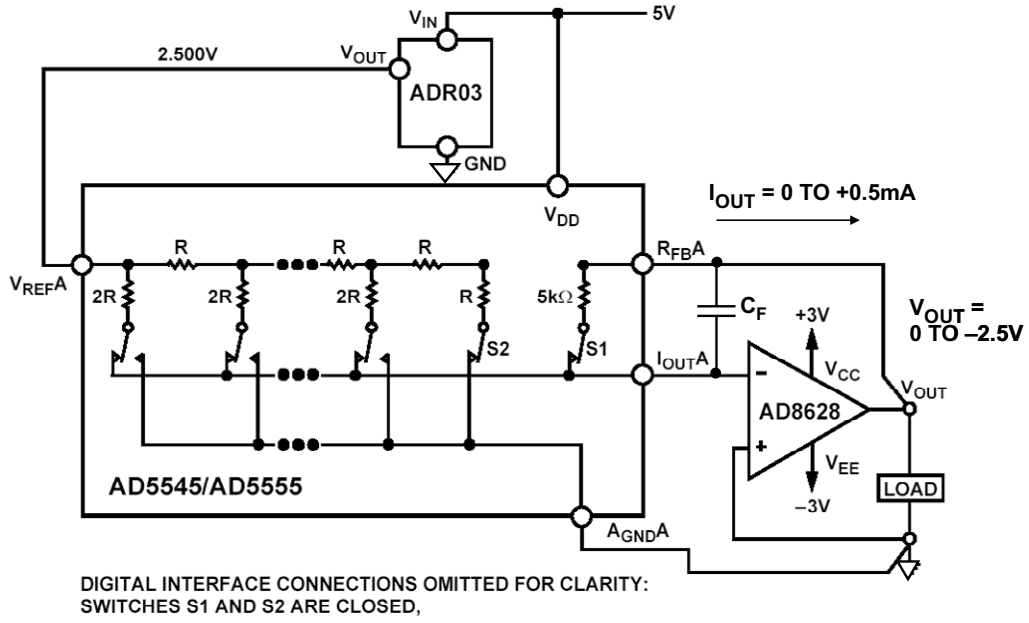


图6：AD5545/AD5555双通道16/14位R-2R电流输出DAC接口

外部2.5 V基准电压源决定满量程输出电流0.5 mA。注意，5 kΩ反馈电阻包含在DAC内，且无需外部电阻，即可增加温度稳定性。因此，运算放大器的满量程输出电压为–2.5 V。CF反馈电容补偿DAC输出阻抗，因此应当选择来优化脉冲响应，起点通常为20 pF。

tyw藏书

差分电流转差分电压转换

如果要求从电流输出DAC获得缓冲差分电压输出，则可以使用AD813x系列差分放大器，如图7所示。

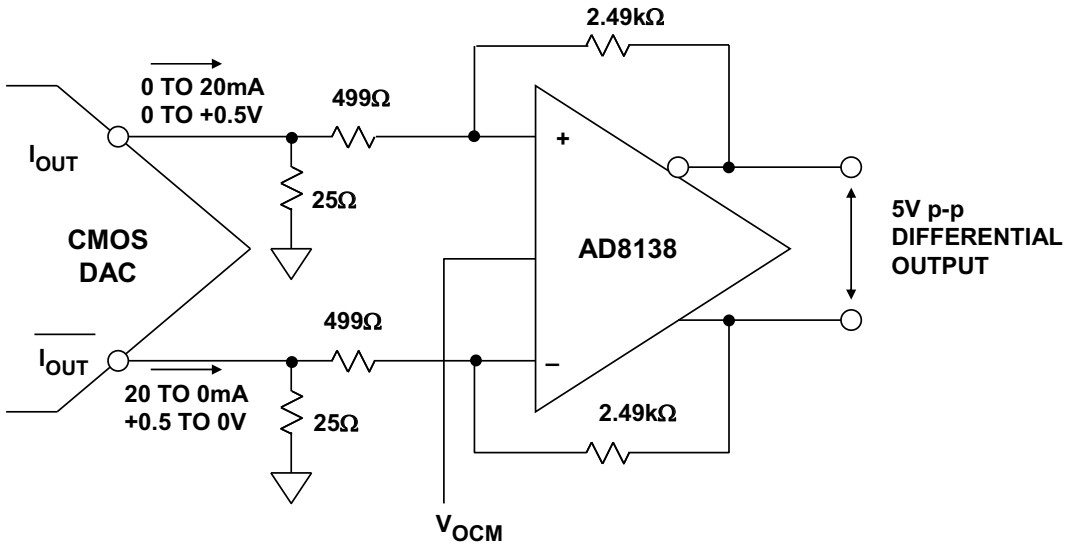


图7：使用差分放大器AD8138来对高速DAC进行缓冲

DAC输出电流首先流过25 Ω电阻而转换成电压。接着，使用AD8138将电压放大5倍。这项技术用于代替直接I/V转换，从而防止高压摆率DAC电流导致放大器过载和引入失真。必须小心地处理使DAC输出电压位于其顺从电压额定值范围之内。

AD8138的VOCM输入可用于设置AD8138规格范围内的最终输出共模电压。通过添加一对75 Ω串联输出电阻，将允许驱动传输线路。

DAC数据输入考虑因素

最早的单芯片DAC几乎不包含逻辑电路，且数字输入必须维持并行数据，才能维持数字输出。而今，几乎所有DAC都会被锁存，且只需向其中写入数据，而不用去维持。有些器件甚至具有非易失性锁存器并可在关断时记住设置。

DAC输入结构存在无数变化形式，本文将不一一介绍，但几乎所有都称为“双缓冲”。栓缓冲DAC具有两组锁存器。数据最初锁存在第一级中，然后传输到第二级，如图8所示。这种配置非常有用，具体有以下几种原因。

tyw藏书

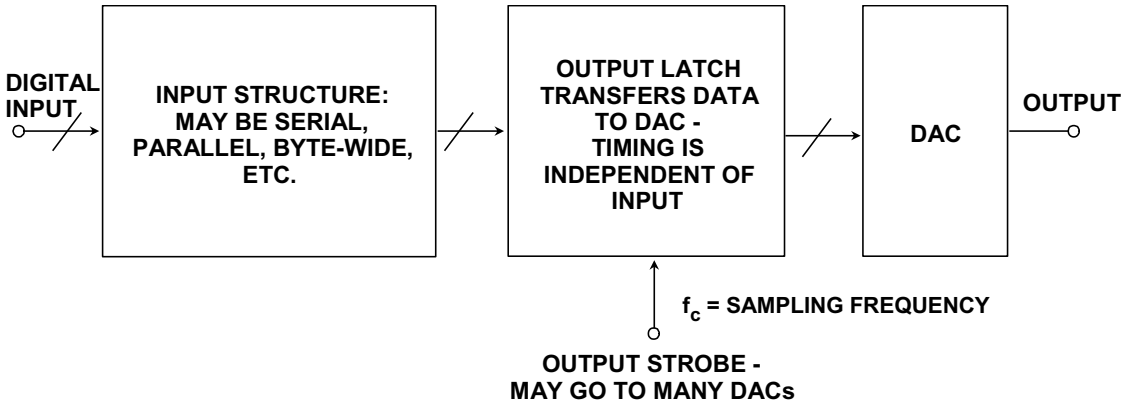


图8：双缓冲DAC允许复杂输入结构和同步更新

首先，其允许以多种不同方式将数据输入DAC。如果DAC没有锁存器或具有一个锁存器，则必须以并行方式同时加载所有位，否则其加载期间的输出可能会与其实际内容或目标内容完全不同。然而，双缓冲DAC可以加载并行数据、串行数据、4位或8位字或任何其它内容，并且在新数据加载完成且DAC收到更新指令之前，输出不会受到影响。

双缓冲DAC的另一项优势在于，通过以并行方式驱动所有开关并以DAC输出数据速率更新单个锁存器，可以最大程度地减少各个开关之间的时间偏斜。这样可以最大程度地减少毛刺脉冲并改善失真性能。

双缓冲结构的第三项优势是可以同步更新多个DAC。数据依次载入各DAC的第一级，当一切就绪之后，即会同时更新所有DAC的输出缓冲器。在许多DAC应用中，数个DAC的输出必须同时变化，而通过双缓冲结构可以非常轻松地实现这点。

早期的单芯片高分辨率DAC大多数具有并行或字节宽数据端口，并且往往连接到并行数据总线和地址解码器，然后作为极小的只写存储器由微控制器进行寻址。(有些并行DAC并不是只能写入内容，而且还可以进行读取；这点对于一些应用来说非常方便，但并不是非常常见。)DAC连接到数据总线时，总线的逻辑噪声容易容性耦合到模拟输出，因此而今许多DAC采用串行数据结构。这类结构更不容易受到上述噪声的影响(因为涉及到的噪声引脚更少)且使用的引脚更少，因此占用的电路板空间也更少；在与现代微控制器(大多数具有串行数据端口)搭配使用时，这类结构通常更为方便。此类串行DAC有些(但并非全部)具有数据输出和数据输入，因此数个DAC可以串联连接，而数据则通过单个数据端口逐个输入所有这些器件。这种配置通常称为“菊花链”。

串行DAC支持语音频带和语音频率更新速率。例如，以192 kSPS速率更新的24位数字音频要求串行端口传输速率至少达到24 × 192 kSPS = 46.08 MSPS，而CMOS逻辑可以轻松处理该速率。不过，涉及到更新速率时，由于所需的串行数据传输速率过高，因此必须采用并行DAC。

当并行数据速率超过约100 MSPS时，由于不太可能会产生CMOS逻辑电平以上的瞬变干扰，因此通常使用低电平电流模式差分逻辑(PECL、较低级别的PECL或LVDS等)(见图9)。这样可帮助最大程度地减少因码相关毛刺而产生的失真。例如，AD9734/AD9735/AD9736 DAC系列采用1.2 GSPS并接受LVDS输入逻辑电平。片上包含特殊电路，以确保输入数据相对于DAC时钟具有正确时序。

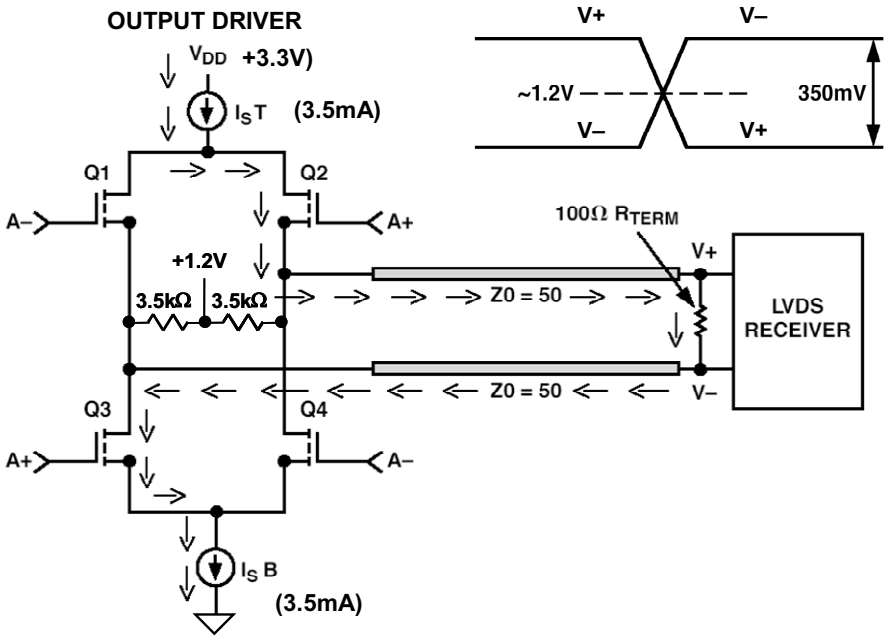


图9：LVDS驱动器

DAC时钟考虑因素

如“教程MT-007”中所述，ADC宽带孔径抖动tj、转换器SNR和满量程正弦波模拟输入频率f之间的关系如下：

$$SNR = 20\log\left[\frac{1}{2\pi f t_j}\right] \qquad \text{等式 1}$$

这种关系同样适用于重构DAC。该等式假定使用的是理想ADC/DAC，其中唯一误差源是时钟抖动。SNR测量的带宽为奈奎斯特带宽DC至$f_c/2$，其中f_c是DAC更新速率。注意，等式1还假定采用的是满量程正弦波输出。因抖动而产生的误差与输出信号的压摆率成比例，即正弦波幅度越小且压摆率相应越小，所产生的SNR值就越大(相对于满量程)。

应注意，等式1中的t_j是采样时钟抖动t_{jc}和ADC内部孔径抖动t_{ja}两者相加；这两个术语并不相关，因此是在方和根(rss)基础上相加的：

$$t_j = \sqrt{t_{jc}^{\ 2} + t_{ja}^{\ 2}} \qquad \text{等式 2}$$

另一方面，高速重构DAC并未内置采样保持放大器，因此没有内部孔径抖动规格。虽然DAC存在内部时钟抖动分量，但由于主要抖动源是外部时钟抖动， 通常并不测量或指定该分量。

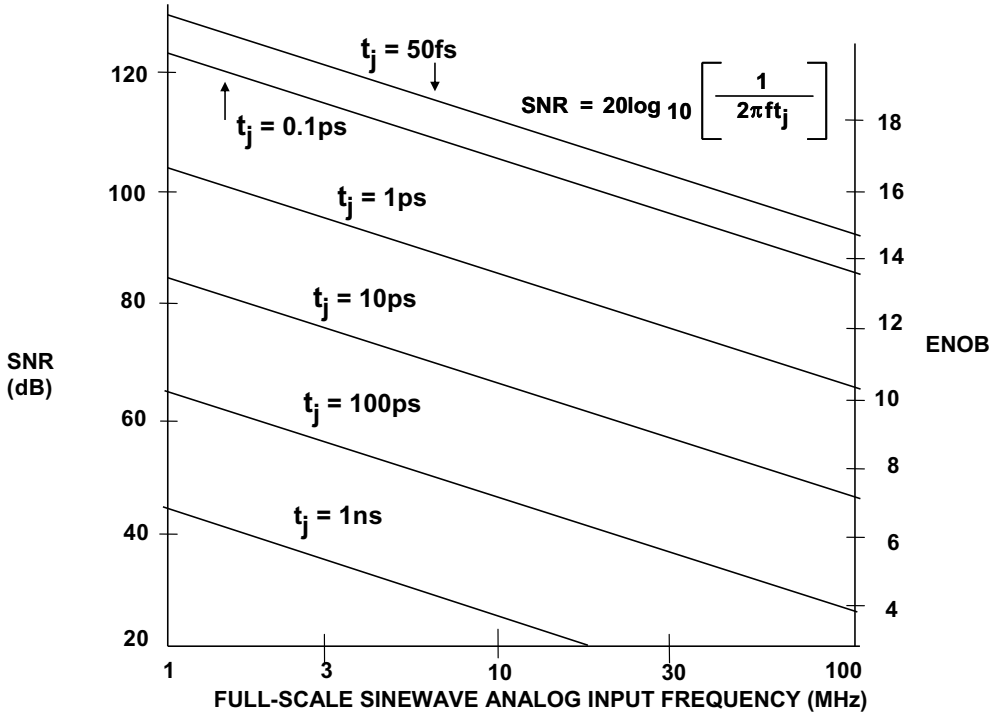


图10：抖动引起的理论SNR和ENOB与满量程正弦波模拟输出频率之间的关系

图10绘制出了等式1的曲线图并以图形形式显示了各种满量程模拟输出频率抖动如何导致SNR下降(注意，此处假定tj包含所有抖动源，包括内部DAC抖动)。例如，如果70 MHz IF输出频率需要维持12位SNR (74 dB)，时钟抖动必须小于0.45 ps(见等式1)。

如“教程MT-001”中所述，有效位数(ENOB)和信纳比(SINAD)之间存在非常有用的关系，具体如下：

$$\mathrm{ENOB} = \frac{\mathrm{SINAD} - 1.76\,\mathrm{dB}}{6.02\,\mathrm{dB}}. \qquad \text{等式 3}$$

出于讨论目的，假定DAC并无失真，因此SINAD = SNR；等式3变为：

$$\mathrm{ENOB} = \frac{\mathrm{SNR} - 1.76\,\mathrm{dB}}{6.02\,\mathrm{dB}}. \qquad \text{等式 4}$$

图10左侧垂直轴上的SNR值已经使用等式4转换成右侧垂直轴上的ENOB值。

为了显示这些抖动值的重要性，请考虑与一组逻辑门相关的均方根(RMS)抖动典型值，如图11所示。74LS00、74HCT00和74ACT00的值都是采用参考文献1第5章所述的方法以高性能ADC(孔径抖动小于0.2-ps rms)测得的，其中抖动是从因多个相同门串联而导致的FFT SNR降低计算得出的。然后，通过除以串联门总数的平方根，便可计算出单个门所造成的抖动。制造商给出了MC100EL16和NBSG16的抖动数据。

- **74LS00** — **4.94 ps ***
- **74HCT00** — **2.20 ps ***
- **74ACT00** — **0.99 ps ***
- **MC100EL16 PECL** — **0.7 ps ****
- **NBSG16, Reduced Swing ECL (0.4V)** — **0.2 ps ****

- *** Calculated values based on degradation in ADC SNR**
- **** Manufacturers' specification**

图11：典型逻辑门的均方根(RMS)抖动

图12显示的是与图10相同的数据，但其中针对各种分辨率要求绘制出与模拟输出频率成函数关系的最大允许抖动。根据最大输出频率和ENOB中所需分辨率来选择采样时钟发生器类型，应以此图片作为大概准则。具有标准VCO的PLL方法就是产生采样时钟的一种不错方式，其中均方根(RMS)抖动要求大约为1 ps或以上。不过，亚皮秒抖动要求采用基于VCXO的PLL或专用低噪声晶体振荡器。“教程MT-008”介绍了如何将振荡器相位噪声转换成抖动。

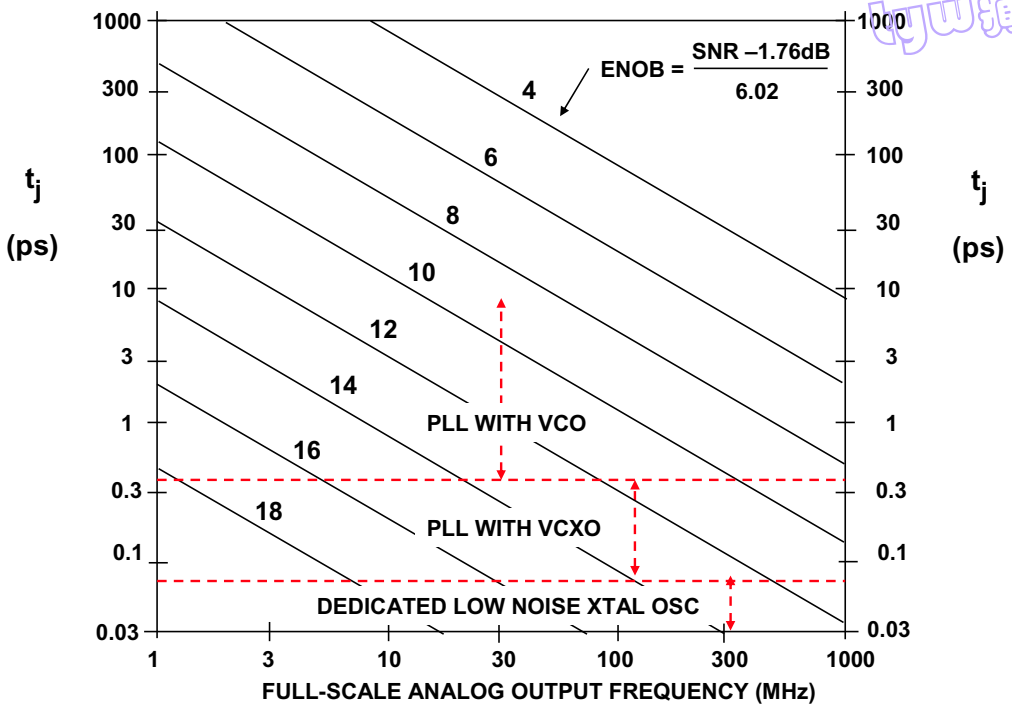


图12：振荡器要求与分辨率和模拟输出频率之间的关系

这部分介绍了假设抖动仅由内部DAC抖动和外部时钟抖动组成时SNR上的抖动效应。不过，无论DAC或采样时钟振荡器的规格如何，不当的布局、接地和去耦技术可造成额外的时钟抖动，进而显著降低动态性能。

若将采样时钟信号与具有噪声的数字信号并行布线，肯定会因杂散耦合而导致性能下降。实际上，若将来自并行输出ADC的高速数据耦合到采样时钟，不仅会导致噪声增加，而且还可能造成额外的谐波失真，因为数字输出瞬态电流包含的能量与信号有关。欲了解这些及其它关键硬件设计技术的进一步讨论，请参阅参考文献1的第9章。

参考文献

tyw藏书

1. Walt Kester, *Analog-Digital Conversion*, Analog Devices, 2004, ISBN 0-916550-27-3. Also available as *The Data Conversion Handbook*, Elsevier/Newnes, 2005, ISBN 0-7506-7841-0.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

数字电位计

简介

机械电位计自电子学创立之初即已开始使用，为各种传感器、电源或者需要某类校准的任何器件的输出调节提供了一种便利的方法。时序、频率、对比度、亮度、增益和失调调节，如此等等，不一而足。然而，机械电位计始终面临诸多问题，其中包括物理尺寸、机械磨损、游标污染、电阻漂移，对振动、温度和湿度敏感；需要螺丝刀、布局不灵活等问题。

数字电位计避免了机械电位计存在的固有问题，是那些利用微控制器或另一个数字器件来提供必要控制信号的新设计的理想替代型产品。对于那些不使用任何片上微控制器的人，也提供手动控制的数字电位计。与机械电位计不同，在主动控制应用中，数字电位计可以实现动态控制。

数字电位计基于以前在MT-014指南中描述的CMOS“串DAC”架构，其基础示意图如图1所示。请注意，在正常串DAC配置中，A端和B端连接于基准电压之间，而W(游标)端则为DAC输出。串DAC配置中还多出一个R电阻，将A端与基准电压相连。

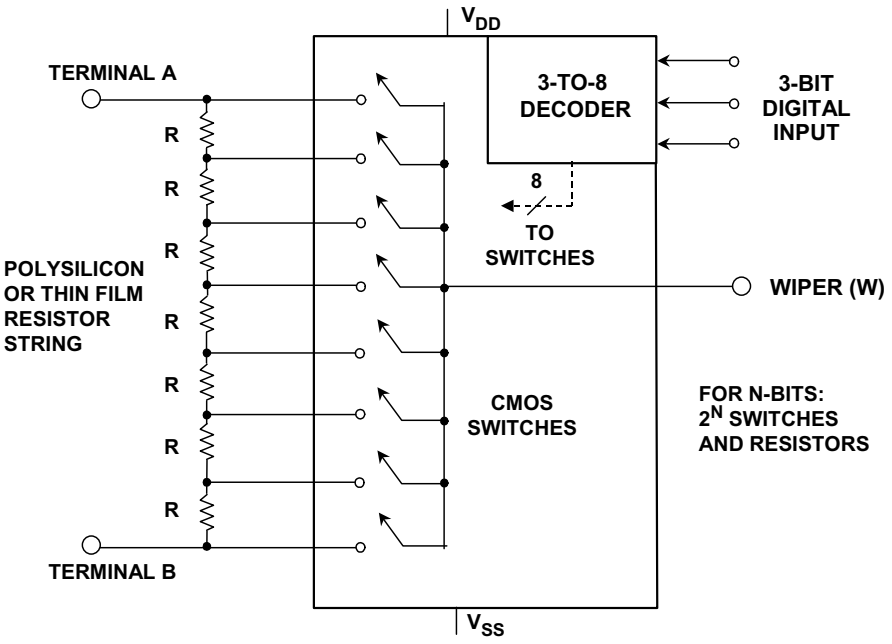


图1：基于“串DAC”架构的3位CMOS数字电位计

实际上，数字电位计配置利用了这样一个事实：CMOS开关的共模电压可以处于电源之间的任意位置——数字输入选择的开关只是将游标与电阻串上的相应抽头相连。A至B的相对极性可能是正，也可能是负。

电阻串表示端到端电位计电阻，传统的“DAC输出”成为数字电位计的游标。电阻可以是多晶硅(TC ~ 500 ppm/°C)或薄膜(TC ~ 35 ppm/°C)，取决于所需要的精度。

电阻串中的电阻数决定着电位计的分辨率或“步长”，目前，其范围为32(5位)至1024(10位)。可编程电阻的值为：$R_{WB}(D) = (D/2^N) \cdot R_{AB} + R_W$，且$R_{WA}(D) = [(2^N - D)/2^N] \cdot R_{AB} + R_W$。其中，$R_{WB}$为W端与B端之间的电阻，$R_{WA}$为W端与A端之间的电阻，D为步长值的十进制等效值，N为位数，R_{AB}为额定电阻，R_W为游标电阻。

开关为CMOS传输门，可使任何给定步进与输出之间的导通电阻变化降至最低水平。A端和B端上的电压可以是任何值，只要处于电源电压V_{DD}和V_{SS}之间即可。

采用小型封装的现代数字电位计

图2展示了采用小型封装的三种数字电位计。虽然I²C®串行接口非常流行，但数字电位计同时提供SPI®、升/降计数器和手动增量/减量接口。

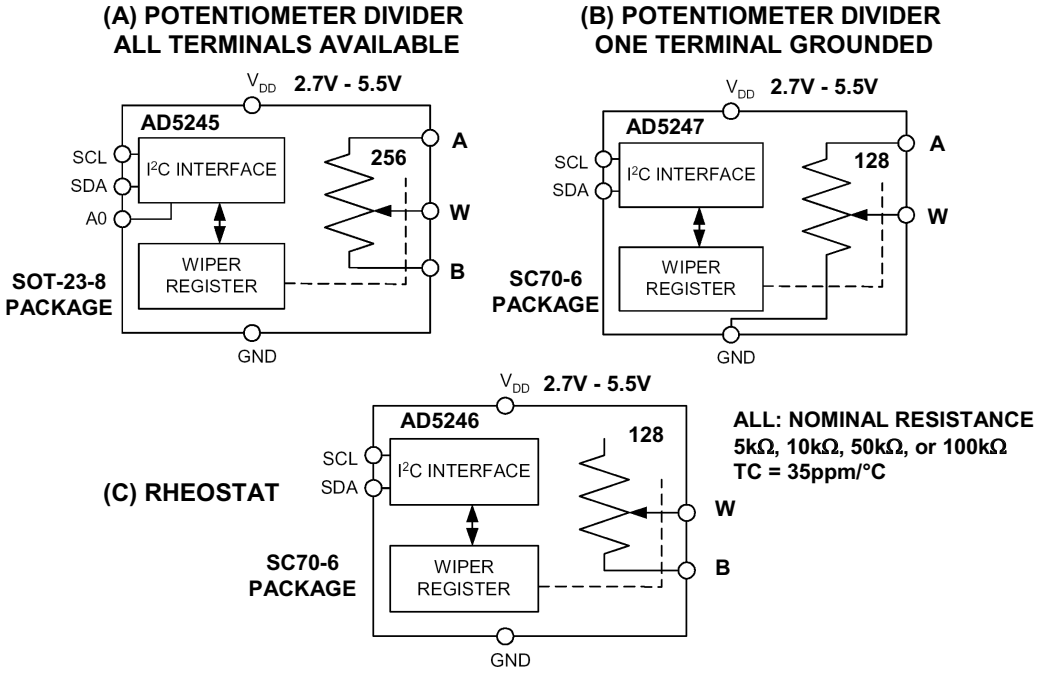


图2：采用小型封装的典型数字电位计示例

图2A中的AD5245采用8引脚SOT-23封装，有256个位(即8位)。A0引脚支持器件被唯一确定，因而可以在同一总线上放置两个器件。薄膜电阻串(R_{AB})提供5 kΩ、10 kΩ、50 kΩ和100 kΩ四种选项，R_{AB}温度系数为35 ppm/°C。电位计的三个端全部可用。工作电源电压的范围为+2.7 V至+5.5 V。电源电流的最大值为8 μA，同时内置一个命令位，用于关断器件，使其进入零功耗状态。电压噪声约等于R_{AB}的热噪声。(注意，一个1 kΩ电阻在室温下的热噪声约为4 nV/√Hz)。

图2B所示AD5247与AD5245相似，只是它有128个位置(7位)，B端接地，并且采用的是SC706引脚封装。AD5247不具备A0功能。最后，图2C所示AD5246与AD5245类似，只是它是以可变电阻器连接的，其W端和B端可供外部使用。

在单电位计(如AD5245、AD5246和AD5247)以外，数字电位计同时提供双路、三路、四路和十六路等版本。在单个封装中嵌入多个器件，这种做法可在组合电位计应用中实现1%的匹配性能，同时也有利于减少PC板空间需求。图3总结了现代数字电位计的一些特性。

- **Resolution (wiper steps): 32 (5-Bits) to 1024 (10-Bits)**
- **Nominal End-to-End Resistance: 1kΩ to 1MΩ**
- **End-to-End Resistance Temperature Coefficient: 35ppm/°C (Thin Film Resistor String), 500ppm/°C (Polysilicon Resistor String)**
- **Number of Channels: 1, 2, 3, 4, 6**
- **Interface Data Control: SPI, I^2C, Up/Down Counter Input, Increment/Decrement Input**
- **Terminal Voltage Range: +15V, ±15V, +30V, +3V, ±3V, +5V, ±5V**
- **Memory Options:**
  - **Volatile (No Memory)**
  - **Nonvolatile E^2MEM**
  - **One-Time Programmable (OTP) - One Fuse Array**
  - **Two-Time Programmable - Two Fuse Arrays**

图3：CMOS数字电位计的特性

内置非易失性存储器的数字电位器

数字电位计(如AD5245、AD5246和AD5247)主要用在主动控制应用中，因为它们没有非易失性存储器。因此，如果移除电源，则设置会丢失。然而，多数易失性数字电位计有一种上电预置功能，上电时强制使器件进入中间电平码。

显然，市场上需要能够在电源移除和重新加电后保持设置不变的数字电位计。这就要求使用非易失性片内存储器来存储目标设置。AD5235是一款双通道10位数字电位计，以片内E²MEM存储目标设置(参考文献4)。功能框图如图4所示。

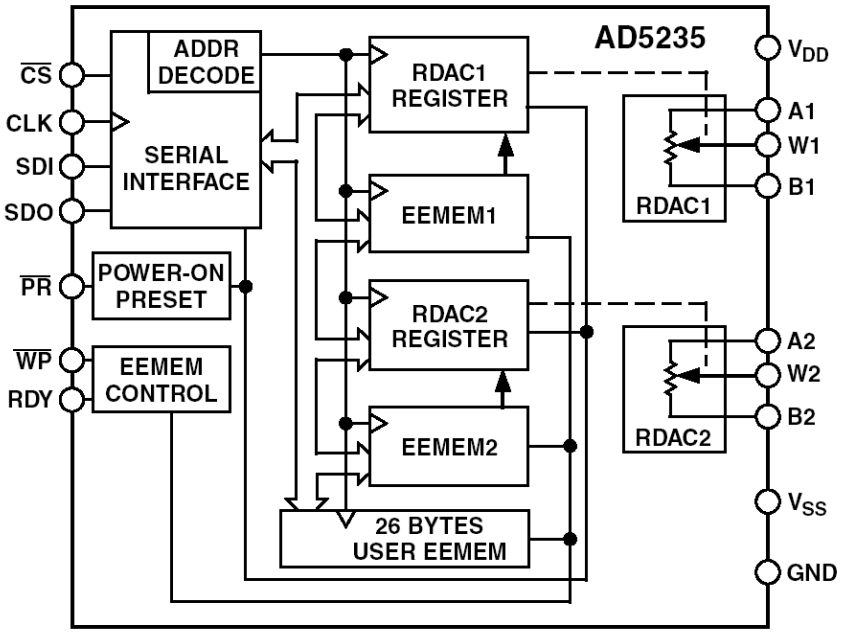


图4：AD5235 非易失性存储器、双通道1024位数字电位计

这些器件可实现与机械电位计相同的电子调整功能，而且具有增强的分辨率、固态可靠性和出色的低温度系数性能。AD5235通过一个标准串行接口可实现多种编程，支持16种工作模式和调整模式，包括暂存区编程、存储器存储和检索、递增/递减、对数抽头调整、游标设置回读以及用户自定义的额外E²MEM。AD5235的另一主要特性是，实际电阻容差以0.1%的精度存储于E²MEM。因而可以获知实际的端到端电阻，这对精密应用中的校准和容差匹配具有重要意义。新的E²MEM系列数字电位计(AD5251/AD5252/AD5253/AD5254)同样提供这种功能。在暂存区编程模式下，可以直接将具体设置编程至RDAC寄存器，使其设置W-A端和W-B端之间的电阻。RDAC寄存器也可用以前存储于E²MEM寄存器中的一个值来加载。E²MEM中的值可以更改或保护。

当更改RDAC寄存器时，可将新设置的值保存至E²MEM。以便在系统加电时自动传送至RDAC寄存器。E²MEM也可以通过直接编程和外部预置引脚控制来检索。线性步进递增和递减命令使RDAC寄存器中的设置向上或向下变化，每次一步。对于游标设置中的对数变化，则通过一个左/右位移命令按±6 dB的步进来调整电平。AD5235采用薄型TSSOP-16封装。所有器件的保证工作温度范围均为–40°C至+85°C扩展工业温度范围。

一次性可编程(OTP)数字电位计

tyw藏书

AD5172/AD5173是双通道256位、一次性可编程(OTP)数字电位计，采用熔丝连接技术来实现在存储器中保持电阻设置的功能(参考文献5)。功能框图如图5所示。请注意，AD5172配置为一个三端电位计，而AD5173则采用变阻器引脚排列。AD5172/AD5173提供2.5 kΩ、10 kΩ、50 kΩ和100 kΩ四种版本。电阻串的温度系数为35 ppm/°C，电源电压范围为2.7 V至5.5 V。

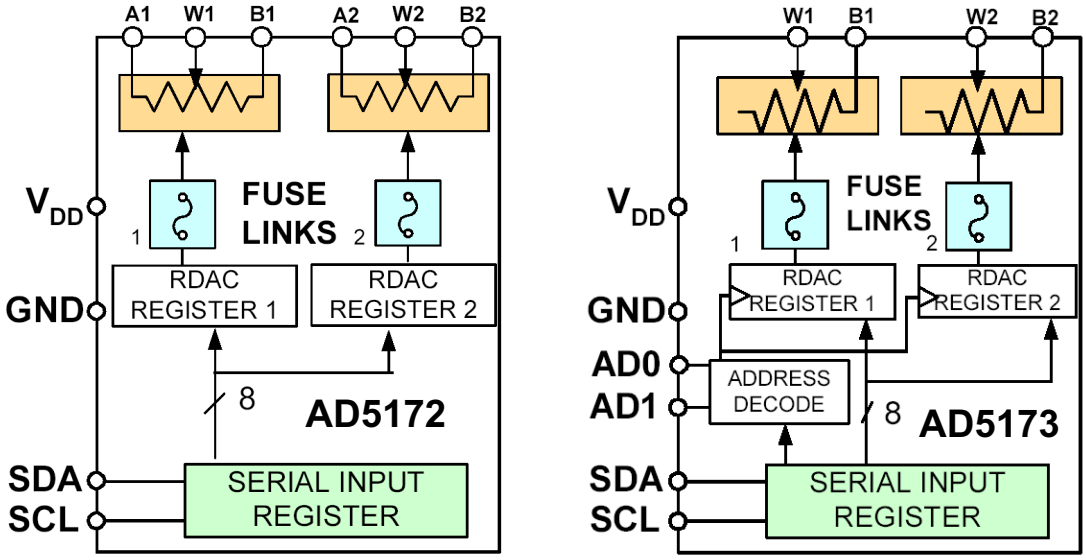


图5：AD5172/AD5173 256位、一次性可编程双通道I²C数字电位计

对于那些不需要在存储器中对数字电位计设置进行一次以上编程(即一次性设置)的用户来说，OTP比E²MEM方法更具成本优势。这些器件可实现与多数机械调整器和可变电阻器相同的电子调整功能，而且具有增强的分辨率、固态可靠性和更好的温度系数性能。

AD5172/AD5173通过一种2线I²C兼容数字控制来编程。它们允许在永久性设置电阻值之前进行无限次调整。在OTP激活期间，将在确定最终值之后发送一个永久熔断熔丝命令；结果将游标位置固定于给定的设置(类似于将环氧树脂涂在机械式调整器上)。与同系列的其他OTP数字电位计不同，AD5172/AD5173拥有一个独特的临时OTP覆盖功能，允许在必要时重新进行调整，在接下来的上电条件期间将恢复OTP设置。该功能允许用户将AD5172/AD5173以用户自定义预设用于主动控制应用。

为了验证永久性编程是否成功，ADI对OTP验证机制进行了专门设计，结果，可在读取模式下从两个验证位识别熔丝状态。对于在工厂中编程AD5172/AD5173的应用来说，ADI提供专门的器件编程软件，支持Windows® 95至XP®的全部平台，包括Windows NT®。该软件应用实际上消除了采用外部I²C控制器或主机处理器的必要，从而极大地缩短了用户的开发时间。AD5172/AD5173提供评估套件，其中包括可以针对工厂编程应用转换的软件、连接器和线缆。AD5172/AD5173采用MSOP-10封装。所有器件的保证工作温度范围均为−40°C至+125°C汽车应用温度范围。在独有的OTP功能以外，AD5172/AD5173因支持可编程预设并且具有出色的温度稳定性和小尺寸等优势，因而非常适合其他通用数字电位计应用。

AD5170(参考文献6)是一款可二次编程的8位数字电位计，功能框图如图6所示。请注意，提供第二熔丝阵列，以支持“二次”编程能力。与AD5172/AD5173相似，在进行永久性设置之前可以无限次编程。AD5170的电气特性类似于AD5172/AD5173。

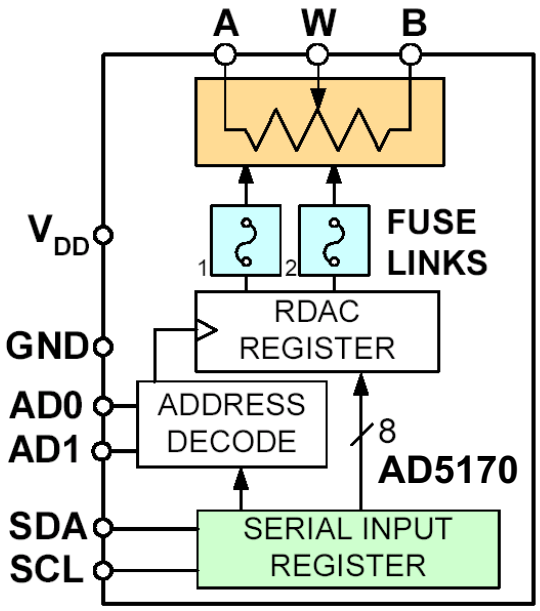


图6：AD5170 256位、可二次编程的I²C数字电位计

精度达1%的数字电位计

tyw藏书

AD5291/AD5292均为单通道、256/1024位数字电位计[1]，端到端电阻容差误差小于1%，额定温度系数为35 ppm/°C，并具有20次可编程存储器。这些器件能够在高电压下工作；同时支持±10.5 V至±15 V双电源和+21 V至+30 V单电源。

AD5291/AD5292的游标设置可通过SPI数字接口控制。将电阻值编程写入20次可编程存储器之前，可进行无限次调整。这些器件不需要任何外部电压源来帮助熔断熔丝，并提供20次永久编程的机会。在20-TP激活期间，一个永久熔断熔丝指令会将游标位置固定(类似于将环氧树脂涂在机械式调整器上)。

数字电位计的交流考虑因素

数字电位计可用于交流应用中，但需要考虑内部电容产生的带宽限制问题。图7所示为一种数字电位计的交流模型，其中，电容分别表示为C_A、C_B和C_W。

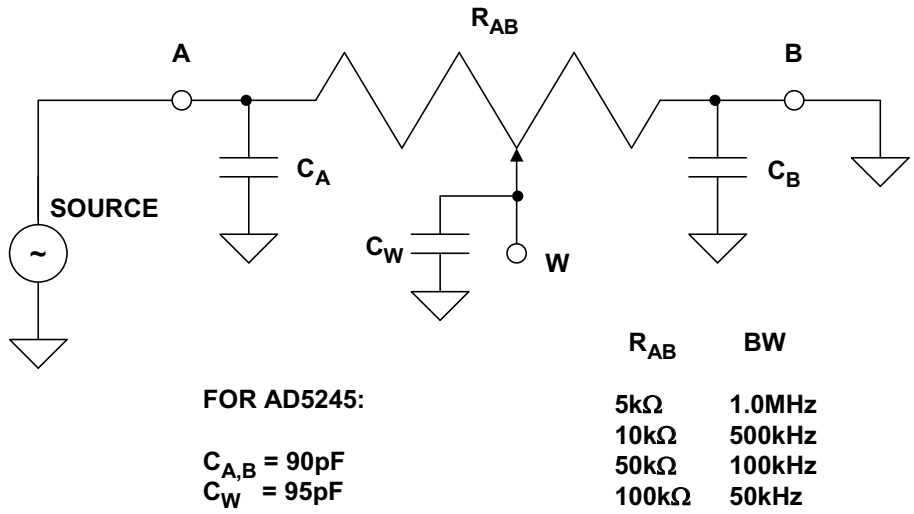


图7：数字电位计带宽模型

数字电位计的带宽取决于配置。受可变电阻影响，它同时具有动态性。例如，如果A端为输入，B端接地，W端为输出，则可通过公式$BW = 1/[2\pi(R_{WB}||R_{WA})\bullet C_W]$求出带宽的近似值。最低带宽发生于中间电平时，此时，这种配置下的等效电阻为最大值。图中展示了AD5245的典型值，以及在中间电平下测得的各种电阻对应的带宽。该简化模型可在SPICE仿真中用于预测电路性能。比如，在把数字电位计用作运算放大器反馈网络的一部分时。在直接把数字电位计置于信号路径时需要考虑的另一个问题是，其电阻为所施加电压的函数且略有非线性特征。这种效应会导致少量失真。

例如，在中间电平下把一个1 V rms、1 kHz的信号应用于上述配置时，AD5245的THD为0.05%。对于数字电位计在交流应用中的具体用例，请参见本指南末尾。

应用范例

像运算放大器一样，数字电位计是许多电路的构件模块。由于数字电位计采用数字控制模式，因而除了基本的调整或校准应用之外，还可用在主动控制应用之中。例如，数字电位计可以用在可编程电源之中，如图8A所示。典型的可调低压差稳压器(如anyCAP系列)有一个FB引脚，应用电阻分压器后会产生可变输出电压。如图所示，R1和R2分别为反馈电阻和输入电阻。FB电路有一个内置的同相放大器，可使1.2 V带隙基准电压源增益至目标输出电压。

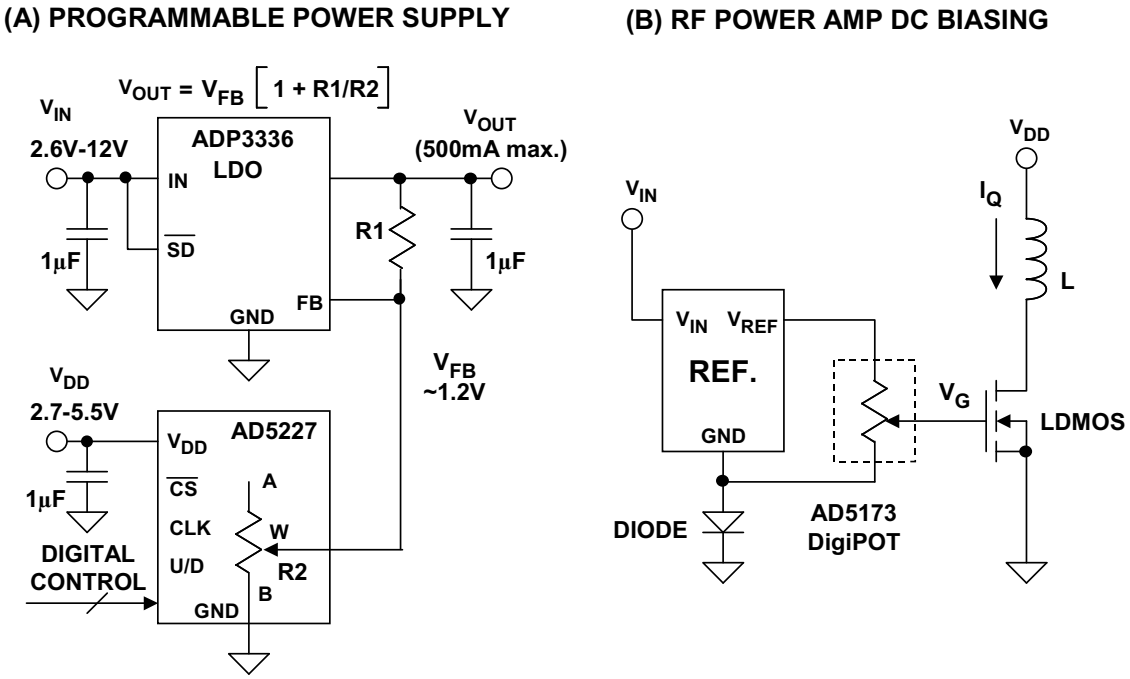


图8：数字电位计的两种电路应用

类似地，电子设备制造商在电源中使用数字电位计，在可靠性测试中，调整电源电压使其覆盖所有电源电压条件。这种电压余量微调方式会加快老化过程，从而缩短上市周期。

由于数字电位计拥有最佳的性价比优势，因而在许多应用中，表现出了取代传统DAC之势。例如，在无线基站中，射频功率放大器在生产过程中，其最佳阈值电压即存在较大差异。这种差异会影响发射的信号的线性度和功效。如果稳压效果较差的放大器输出过多功率，结果也会干扰无线网络中的邻近单元。尽管DAC广泛用于偏置射频功率放大器，但是，许多用户发现，数字电位计更适合这类应用，因为后者采用非易失性存储器，有利于简化设计。如图8B所示，其中利用一次可编程数字电位计来校准射频功率放大器的直流偏置点，而校准则用工厂软件进行编程，无需使用任何外部控制器。请注意，电路中添加了二极管，以补偿放大器的温度系数。

总结

与机械电位计和微调筒®相比，数字电位计具有许多显著优势，因而在现代系统中得到了广泛应用。凭借出色的可靠性、灵活性和易用性，数字电位计成为了传统电位计的首选替代品。数字电位计也可用作许多主动控制应用中的可编程构建模块。

实际上，在现代电子系统中，数字电位计的应用潜力是无穷的——只需想想机械电位计和微调筒的诸多传统应用即可认识到这一点。若要详细了解这些器件对于设计的好处，请参阅参考文献1-13。以下总结少数几种应用：

- 通用应用：传感器校准、系统增益和失调调整、可编程增益放大器、可编程滤波器、可编程给定值设定、传统数模转换器、电压电流转换器、线路阻抗匹配。
- 计算机和网络设备：可编程电源、电源微调、电池充电器给定值设定、温度控制给定值设定。
- 液晶显示器：背光、对比度和亮度调整；液晶面板共模电压调整；可编程伽玛校正；液晶投影仪基准电压发生器。
- 消费电子应用：PDA背光调整、电子音量控制。
- 射频通信：射频功率放大器偏置、DDS/PLL幅度调整、VCXO频率调谐、变容二极管偏置、对数放大器斜率和截距调整、正交解调器增益和相位调整、RFID读卡器校准。
- 汽车电子：发动机控制装置给定值设定、传感器校准、执行器控制、仪器仪表控制、导航/娱乐显示调整。
- 工业和仪器仪表：系统校准、浮动基准电压源DAC、可编程4至20 mA电流发射器。

lyw藏书

- 光学通信：激光偏置电流调整、激光调制电流调整、光接收器信号调理、光衰减器、波长控制器。

参考文献：

1. Walt Heinzer, "Design Circuits with Digitally Controllable Variable Resistors," *Analog Dialogue*, Vol 29, No. 1, 1995. http://www.analog.com.

2. Hank Zumbahlen, "Tack a Log Taper onto a Digital Potentiometer," *EDN*, January 20, 2000.

3. Mary McCarthy, "Digital Potentiometers Vary Amplitude In DDS Devices," *Electronic Design*, Ideas for Design, May 29, 2000.

4. Alan Li, "Versatile Programmable Amplifiers Use Digital Potentiometers with Nonvolatile Memory," *Analog Dialogue*, Vol. 35, No. 3, June-July, 2001.

5. Reza Moghimi, "Difference Amplifier Uses Digital Potentiometers ," *EDN*, May 30, 2002.

6. Mark Malaeb, "Single-Chip Digitally Controlled Data-Acquisition as Core of Reliable DWDM Communication Systems," *Analog Dialogue*, Vol. 36, No. 5, September-October, 2002.

7. Peter Khairolomour, "Rotary Encoder Mates with Digital Potentiometer," *EDN*, Design Idea, March 6, 2003.

8. Alan Li, "Versatile Programmable Amplifiers Using Digital Potentiometers with Nonvolatile Memory," *Application Note AN-579*, Analog Devices.

9. Alan Li, "Programmable Oscillator Uses Digital Potentiometers," *Application Note AN-580*, Analog Devices.

10. Alan Li, "Resolution Enhancements of Digital Potentiometers with Multiple Devices," *Application Note AN-582*, Analog Devices.

11. Alan Li, "AD5232 Programmable Oscillator Using Digital Potentiometers, " *Application Note AN-585*, Analog Devices.

12. Alan Li, " ADN2850 Evaluation Kit User Manual," *Application Note AN-628*, Analog Devices.

13. Walt Kester, *Analog-Digital Conversion*, Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 8. Also available as *The Data Conversion Handbook*, Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 8.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

有意为之的非线性DAC

作者：Walt Kester

简介

通常，我们都是在强调数据转换器中保持良好微分和积分线性度的重要性。不过，在一些情况下，有意为之的非线性ADC和DAC(但保持良好的微分线性度)会非常有用，尤其是在处理具有宽动态范围的信号时。

非线性DAC和ADC的电信应用

非线性数据转换器的最早用途之一是对脉冲码调制(PCM)系统的语音频带信号进行数字化处理。在研发T1载波系统过程中，贝尔实验室做出了巨大贡献。使用非线性ADC和DAC的动机是为了减少对语音通道进行数字化处理所需的总位数，从而降低串行传输速率。直接对语音通道进行线性编码需要11或12位，且采样速率为8 kSPS。上世纪60年代，贝尔实验室确定7位非线性编码就已够用；之后在70年代，他们转而采用8位非线性编码来改善性能(参考文献1-6)。

在总的范围内，非线性传递函数针对小信号分配的量化级数较多，而针对大幅度信号则较少。实际上，这样可以减少与小信号相关的量化噪声(噪声影响最为显著)，并增加较大信号的量化噪声(噪声影响最不明显)。通常使用“压缩扩展”这一术语来描述此种编码形式。

选定的对数传递函数称作“Bell μ-255”标准，或者就是“μ法则”。欧洲制定有一项类似标准，称为“A法则”。Bell μ法则支持通过8位实现约4000:1的动态范围，而8位线性数据转换仅提供256:1的范围。

在发射器中，第一代通道分组(D1)使用以温度控制的电阻二极管网络作为7位线性ADC之前的“压缩器”来产生对数传递函数。在接收器中，7位线性DAC后接具有反向传递函数的相应电阻二极管“扩展器”。下一代D2通道分组采用非线性ADC和DAC，以一种更可靠、更具成本效益的方式来实现压缩/扩展功能，并且无需温度控制二极管网络。

B. D. Smith在其1953年发表的经典论文中提出，当反馈路径中使用非线性内部DAC时，逐次逼近型ADC的传递函数是该DAC的反向传递函数(参考文献7)。因此，相同的基本DAC可以用于ADC中，也可以用于重构DAC。上世纪60年代末期和70年代早期，非线性ADC和DAC技术通过采用分段线性逼近法获得所需传递函数，实现了低成本、大规模使用(参考文献1-6)。这些非线性8位、8 kSPS数据转换器已经成为常见的电信构建模块。

8位DAC的非线性传递函数首先分为16个具有不同斜率的段(弦)，具体斜率取决于所需的非线性传递函数。4 MSB决定包含所需数据点的段，而每个段又进一步由8位字的4 LSB细分成16个相等的量化级。图1显示了6位DAC的情况，其中前3位确定8个可能弦之一，而每个弦又进一步根据3 LSB的定义细分成8个相等的等级。3 MSB通过使用非线性串DAC产生，而3 LSB则使用3位二进制R-2R DAC产生。

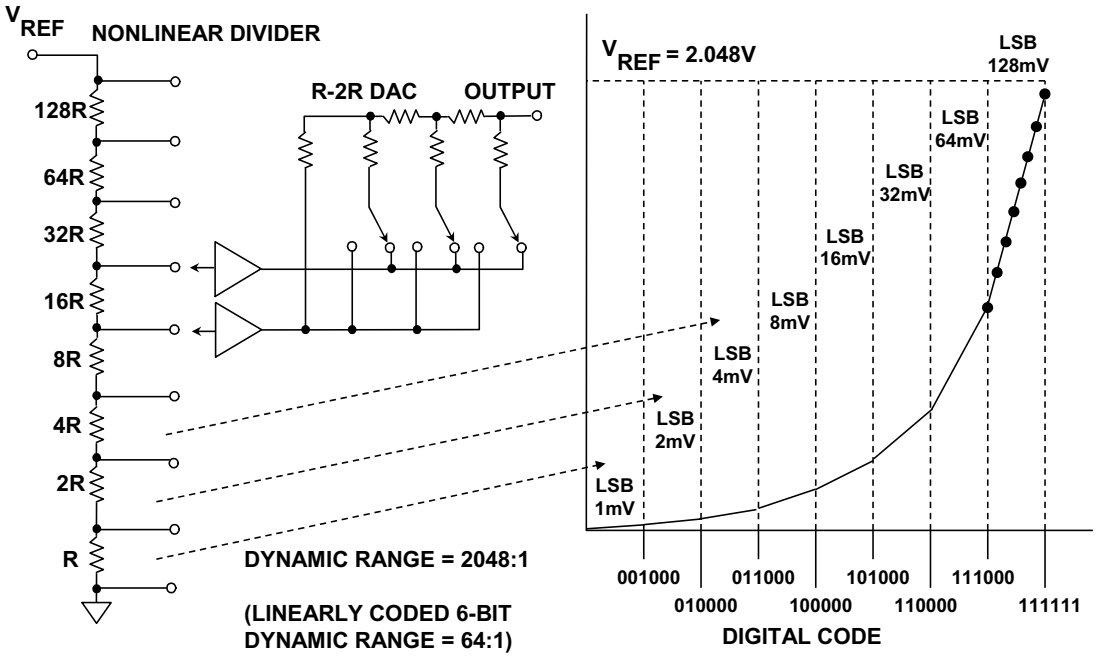


图1：非线性6位分段DAC

1982年，ADI公司推出了LOGDAC® AD7111单芯片乘法DAC，该芯片使用对数传递函数，具有宽动态范围。LOGDAC中的基础DAC是一种其前配有8位输入解码器的17位电流模式线性“反转”R-2R DAC(见图2)。LOGDAC能以0.375 dB步进，在0 dB至88.5 dB范围内对模拟输入信号V_{IN}进行衰减。DAC上的衰减程度由作用于片内解码逻辑的非线性编码8位字决定。这个8位字先映射成相应的17位字，然后作用于一个17位R-2R梯形电阻。LOGDAC的功能框图如图2所示。除提供对数传递函数之外，LOGDAC还用作全四象限乘法DAC。

tyw藏书

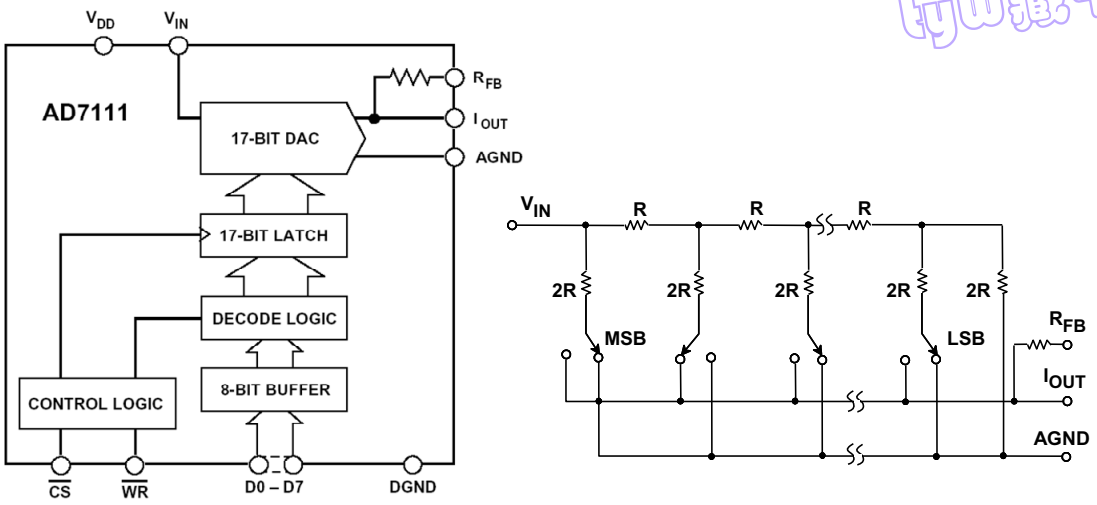


图2：AD7111 LOGDAC®（1982年发布）

随着高分辨率线性ADC和DAC的推出，LOGDAC®中采用的方法现已广泛用于实施各种非线性传递函数，如电信及其它应用中所需的μ法则和A法则压缩扩展函数。图3所示为现代方法的通用框图。

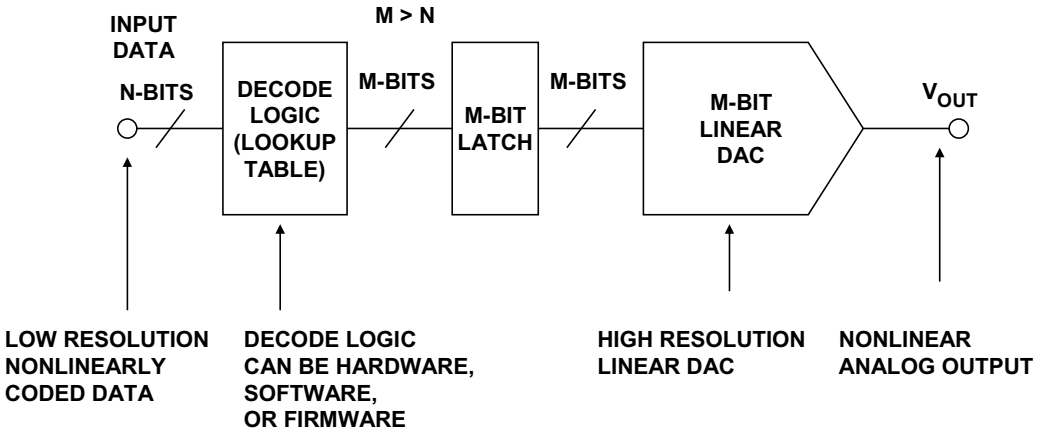


图3：通用非线性DAC

以μ法则或A法则压缩扩展的输入数据映射成高分辨率DAC传递函数上的数据点。这种映射可以通过硬件、软件或固件中的简易查找表来轻松实现。通过使用高分辨率ADC对模拟输入信号进行数字化处理，然后使用合适的传递函数将数据点映射到较短字，可以构建出类似的非线性ADC。这种方法的一项巨大优势在于，无需与以前方法一样使用直线线段对传递曲线进行近似处理，因而精度更高。

参考文献

tyw藏书

1. B. Smith, "Instantaneous Companding of Quantized Signals, *Bell System Technical Journal*, Vol. 36, May 1957, pp. 653-709. *(one of the first papers written about using nonlinear coding techniques for speech signals in PCM).*

2. H. Kaneko and T. Sekimoto, "Logarithmic PCM Encoding Without Diode Compandor," *IEEE Transactions on Communications Systems*, Vol. 11, No. 3, September 1963, pp. 296-307. *(describes several methods for nonlinear encoding speech directly without the need for diode compandors).*

3. C. L. Dammann, "An Approach to Logarithmic Coders and Decoders," *NEREM Record*, Boston MA, November 2-4, 1966, pp. 196-197. *(more discussions on nonlinear coders and decoders for PCM).*

4. H. Kaneko, "A Unified Formulation of Segment Companding Laws and Synthesis of Codecs and Digital Compandors," *Bell System Technical Journa***l**, Vol. 49, September 1970, pp. 1555-1558. *(discusses the piecewise linear approximation to the logarithmic transfer companding function).*

5. M. R. Aaron and H. Kaneko, "Synthesis of Digital Attenuators for Segment Companded PCM Codes," *Transactions on Communications Technology*, COM-19, December 1971, pp. 1076-1087. *(more on nonlinear coding).*

6. C. L. Dammann, L. D. McDaniel, and C. L. Maddox, "D2 Channel Bank: Multiplexing and Coding," *Bell System Technical Journal*, Vol. 51, October 1972, pp. 1675-1699. *(still more on nonlinear coding).*

7. B. D. Smith, "Coding by Feedback Methods," *Proceedings of the I. R. E.*, Vol. 41, August 1953, pp. 1053-1058. *(Smith uses an internal binary weighted DAC and also points out that a non-linear transfer function can be achieved by using a DAC with non-uniform bit weights, a technique which is widely used in today's voiceband ADCs with built-in companding. He was also one of the first to propose using an R/2R ladder network within the DAC core).*

8. Walt Kester, *Analog-Digital Conversion*, Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 3. Also available as *The Data Conversion Handbook*, Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 3.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

评估高速DAC性能

作者：Walt Kester

简介

ADC需要FFT处理器来评估频谱纯度，DAC则不同，利用传统的模拟频谱分析仪就能直接研究它所产生的模拟输出。DAC评估的挑战在于要产生从单音正弦波到复杂宽带CDMA信号的各种数字输入。数字正弦波可以利用直接数字频率合成技术来产生，但更复杂的数字信号则需要利用更精密、更昂贵的字发生器来产生。

评估高速DAC时，最重要的交流性能指标包括：建立时间、毛刺脉冲面积、失真、无杂散动态范围(SFDR)和信噪比(SNR)。本文首先讨论时域指标，然后讨论频域指标。

DAC建立时间

根据应用的不同，DAC的精确建立时间可能重要，也可能不重要。但对于显示器所用的高速DAC，由于高分辨率监视器的像素率非常高，该参数特别重要。DAC必须能够在5%到10%的像素间隔时间内，从全0(黑色电平)变化到全1，这个时间可能相当短。例如，即使是相对常见的1024 × 768、60 Hz刷新率监视器，其像素间隔时间也只有大约16 ns，这意味着DAC需要在不到2 ns的时间内建立到至少8位精度(对于8位系统)。

满量程建立时间的基本定义如图1所示。该定义与运算放大器建立时间的定义非常相似。注意，建立时间可以通过两种受到认可的方式加以定义。较传统的定义是输出建立所需的时间，额定误差带相对于DAC数据选通脉冲的50%点进行测量(如果它有一个并行寄存器驱动DAC开关)，或者相对于开关的输入数据改变时的时间进行测量(如果没有内部寄存器)。另一个同样有效的定义是相对于输出离开初始误差带的时间来定义建立时间，这可以有效消除测量中的“死区时间”。例如，在视频DAC应用中，输出的建立时间是一个关键指标，固定延迟(死区时间)则无关紧要。

误差带通常用LSB或满量程的百分比(%)来规定，一般将误差带规定为1 LSB，但这并不是强制要求。然而，小心处理的话，在12位标准时测量1 LSB (0.025% FS)的满量程建立时间是可能的，但要在16位标准时测量1 LSB (0.0015% FS)的建立时间则非常困难。因此，高速DAC(如TxDAC®系列等)一般规定了12位标准(0.025% FS)时的14位和16位建立时间(典型值小于11 ns)。

tyw藏书

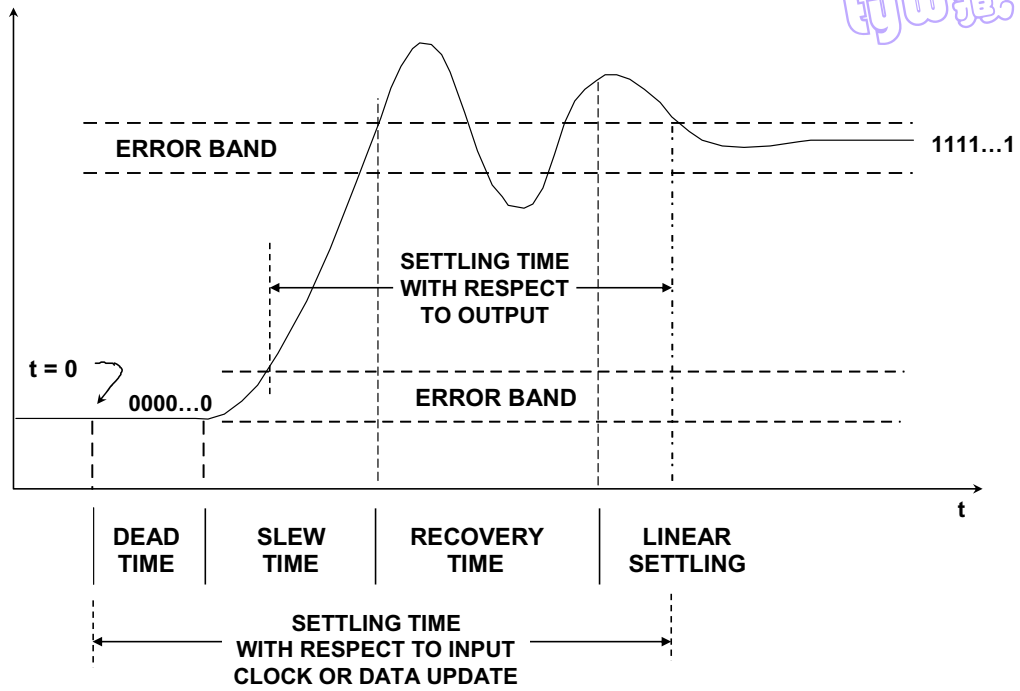


图1：DAC满量程建立时间

中间电平建立时间也是有意义的，因为在二进制加权DAC中，代码0111…1与代码1000…0之间的跃迁产生的瞬变最大。事实上，如果存在相当大的位偏斜，则瞬变幅度可能接近满量程。图2显示了一个波形和两种受到认可的中间电平建立时间定义。和满量程建立时间一样，中间电平建立时间也可以相对于输出或锁存选通脉冲(如果没有内部锁存，则相对于位跃迁)。

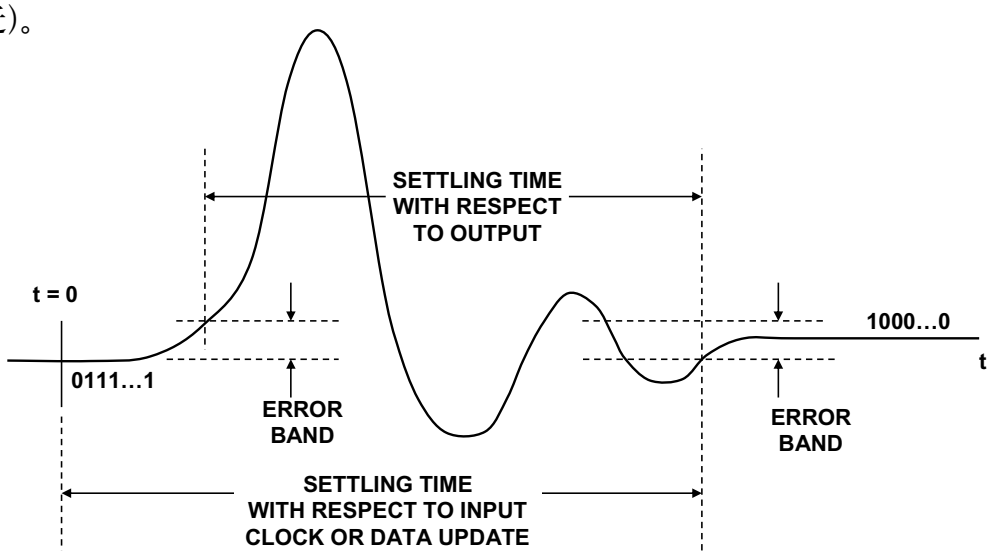


图2：DAC中间电平建立时间

tyw藏书

毛刺脉冲面积

在理想情况下，当DAC输出改变时，它应从一个值单调地变为一个新值。但实际上，输出可能会过冲、欠冲或二者均有。跃迁期间DAC输出的这种不受控制的变化称为“毛刺”，它有两种产生机制：一是数字跃迁容性耦合到模拟输出，二是DAC中某些开关的切换速度快于其它开关，从而产生临时杂散输出。

容性耦合常常产生大致相同的正尖峰和负尖峰(有时称为“二联毛刺”)，从长期看，它们或多或少会相互抵消。开关时序差异产生的毛刺一般是单极性的，而且大得多，更值得关注。

毛刺可以用“毛刺脉冲面积”来衡量，有时也不准确地称之为“毛刺能量”。“毛刺能量”是一个误称，因为毛刺脉冲面积的单位是V-S(更确切地说是μV-s或pV-s)。“尖峰毛刺面积”指正或负毛刺面积中最大的面积。

根据图3所示的中间电平建立时间波形，很容易估算毛刺脉冲面积。四个三角形的面积用于计算净毛刺面积。三角形的面积等于底边长度乘以高度的二分之一。如果正毛刺面积总和等于负毛刺面积总和，则净面积为0。大部分数据手册给出的是净毛刺面积，有些情况下也可能是尖峰面积。

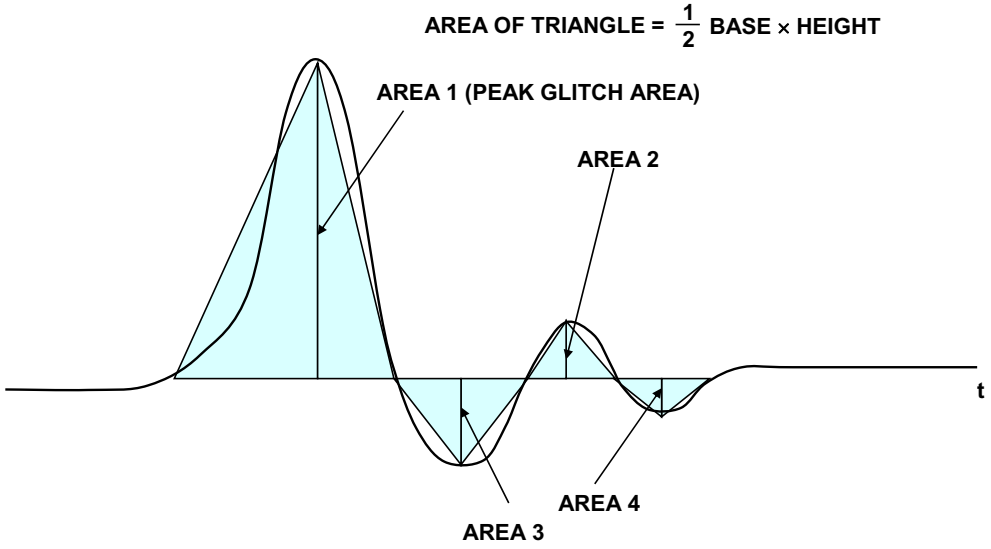


图3：毛刺脉冲面积

tyw藏书

用示波器测量建立时间和毛刺脉冲面积

宽带快速建立示波器对于建立时间的精确测量至关重要。正确选择示波器需要考虑几点。所需的带宽可以根据DAC输出的上升/下降时间计算。例如，如果输出的上升时间和下降时间为1 ns，则对应的带宽为$0.35/t_r$ = 350 MHz，这就需要至少500 MHz带宽的示波器。为了包括二次和三次谐波成分，以便获得波形的更精确表示，示波器带宽至少应为信号带宽的3倍。

现代数字存储示波器(DSO)和数字荧光示波器(DPO)颇受欢迎，非常适合测量建立时间，以及执行许多其它波形分析功能(见参考文献3)。这些示波器提供数GHz的实时采样速率，对过驱的敏感程度远低于旧式模拟示波器或传统的采样示波器。过驱是建立时间测量中的一个重要考虑因素，因为当测量DAC满量程输出变化时，示波器一般设置为最大灵敏度。例如，要测量1 V输出(20 mA流入50 Ω)的12位建立时间，信号的分辨率必须在1 V阶跃函数之上的0.25 mV误差带内。

从历史角度看，旧式模拟示波器对过驱敏感，在不增加额外电路的情况下，无法用于精确测量阶跃函数的建立时间。1980年代，业界在电路方面进行了大量工作，利用肖特基二极管、电流源等来消除部分阶跃函数。参考文献4、5和6就是很好的例证，它们介绍了当时用来解决示波器过驱问题的各种电路。

即便使用现代DSO和DPO，也应当检查过驱情况，方法是将示波器灵敏度改变一个已知的量，确保波形的所有部分成比例变化。测量中间电平建立时间时，如果存在很大的毛刺，则示波器也可能遭受相当大的过驱。示波器的灵敏度应足以测量期望的误差带。如果小心处理的话，1 mV/分区可以测量0.25 mV误差带(一个主垂直分区通常分为五个较小分区，每个小分区相当于0.2 mV)。如果DAC片内集成运算放大器，则满量程输出电压可能更大，例如10 V，示波器的灵敏度要求将成比例降低。

虽然单极点系统中的上升时间与下降时间之间的关系已为人熟知，但不建议仅用上升时间来外推DAC建立时间。DAC涉及到许多高阶非线性效应，特别是12位或更高分辨率的DAC，这些效应会对实际建立时间产生严重影响。

测量建立时间时，DAC输出与50 Ω示波器输入之间最好直接相连，并避免使用探针。FET探针因为常常得出令人误解的建立时间结果而声名狼藉。如果必须使用探针，最好选用补偿式无源探针，而且应当小心使用。即使长度很短，适当端接的同轴电缆也会有集肤效应，这可能导致得出错误的建立时间结果。连接DAC和示波器时，必须保持良好的低阻抗接地，可以将BNC连接器的地线焊接到DAC测试板的接地层，并使用此BNC连接示波器的50 Ω输入。与DAC进行接口时，制造商的评估板可能非常有帮助，如有提供，则应使用。

最后，如果DAC输出专门设计用来驱动外部电流电压转换器的虚拟地，而没有足够的顺从电压以在负载电阻上产生可供测量的电压，则必须使用外部运算放大器，测试电路测量DAC/运放组合的建立时间。这种情况下，应选择建立时间至少比待测DAC短3到5倍的运算放大器。如果运放的建立时间与DAC的建立时间相当，则可以确定DAC的建立时间，因为DAC/运放组合的总建立时间等于DAC建立时间与运放建立时间的方和根。通过下式可计算DAC的建立时间：

$$\text{DAC Settling Time} = \sqrt{(\text{Total Settling Time})^2 - (\text{Op Amp Settling Time})^2}\ . \qquad \text{公式1}$$

DAC失真

研究DAC根据数字数据重构的波形的频谱后，我们会发现，除了期望的频谱(含有一个或多个频率，具体取决于重构波形的性质)以外，还有噪声和失真产物。

和直接数字频率合成(DDS)系统一样，当DAC重构一个数字产生的正弦波时，代码相关的毛刺会产生带外和带内谐波。例如，在重构正弦波的一个周期内，中间电平毛刺会出现两次(在每个中间电平交越上)，因而会产生正弦波的第二个谐波，如图4所示。请注意，正弦波的较高阶谐波也会重新混叠到奈奎斯特带宽(DC至$f_c/2$)内，无法对其进行滤波。

tyw藏书

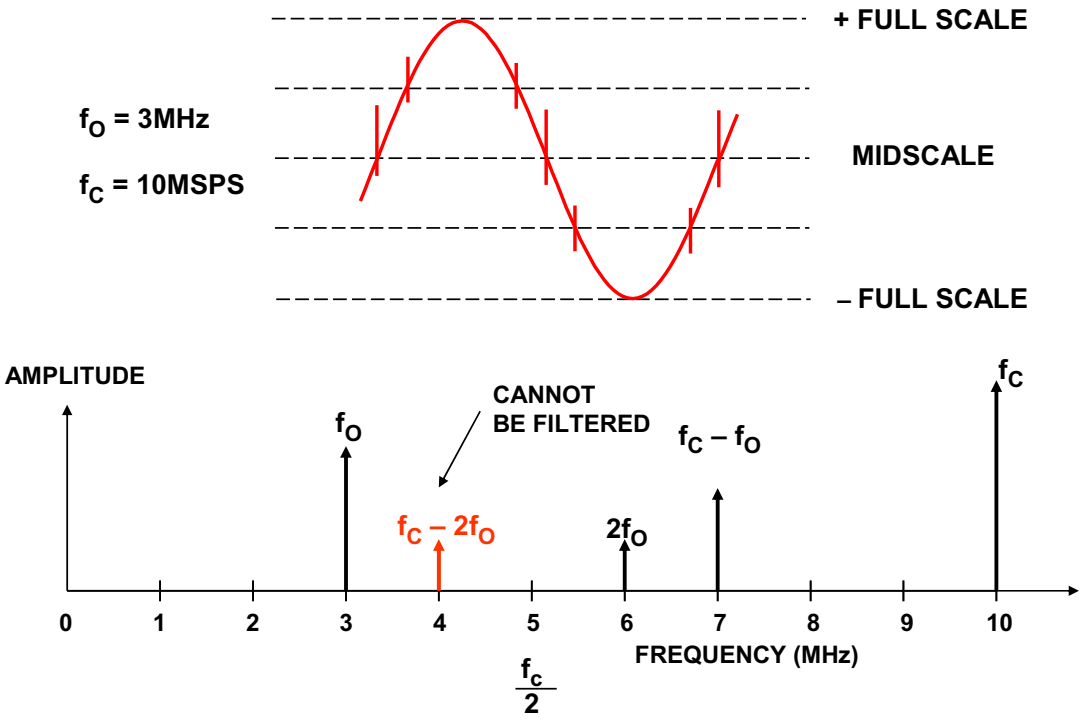


图4：代码相关的毛刺对频谱输出的影响

虽然可以使用分段DAC架构来大大降低代码相关的毛刺引起的失真，但无法彻底消除失真。

单凭毛刺面积参数，很难预测谐波失真或SFDR。诸如DAC的整体线性度等其它因素也会影响失真。此外，DAC采样时钟与DAC输出频率之间的整数比关系会导致量化噪声集中在基波的谐波上，从而提高这些点上的视在失真。

由于DAC广泛应用于通信和频率分析系统，因此几乎所有的现代DAC都会给出频域性能指标。基本的交流性能指标包括：谐波失真、总谐波失真(THD)、信噪比(SNR)、总谐波失真加噪声(THD + N)、无杂散动态范围(SFDR)等。为了测试DAC的这些特性，必须产生一个适当的数字合成信号来驱动DAC(例如，一个单音或多音正弦波)。

在1970年代初，当ADC和DAC的频域性能开始变得重要时，“背靠背”测试颇为盛行。ADC与配套DAC连接在一起，选择适当的模拟信号源来驱动ADC，然后利用模拟频谱分析仪来测量DAC输出的失真和噪声。这种方法是合理的，因为ADC和DAC常常配合使用，二者之间放置一个数字信号处理器来执行各种功能。显而易见，在总交流误差中，无法准确确定ADC和DAC分别贡献多少误差。但如今，ADC和DAC往往独立使用，因此必须单独进行测试。

图5显示了一个用于测量DAC的失真和噪声的典型测试设置。首要考虑当然是产生数字信号以驱动DAC。利用现代任意波形发生器(例如带选项4的Tektronix AWG2021)或字发生器(Tektronix DG2020)，可以通过软件数字合成几乎任意波形。在严格的DAC频域测试中，必须使用这些仪器(见参考文献3)。多数情况下，这些发生器具有预编程的标准波形，如正弦波和三角波等。然而，许多通信应用要求更为复杂的数字波形，如双音或多音正弦波、QAM、GSM和CDMA测试信号等。许多情况下，可以使用专用硬件和软件来产生这些类型的信号，从而大大加速评估过程。

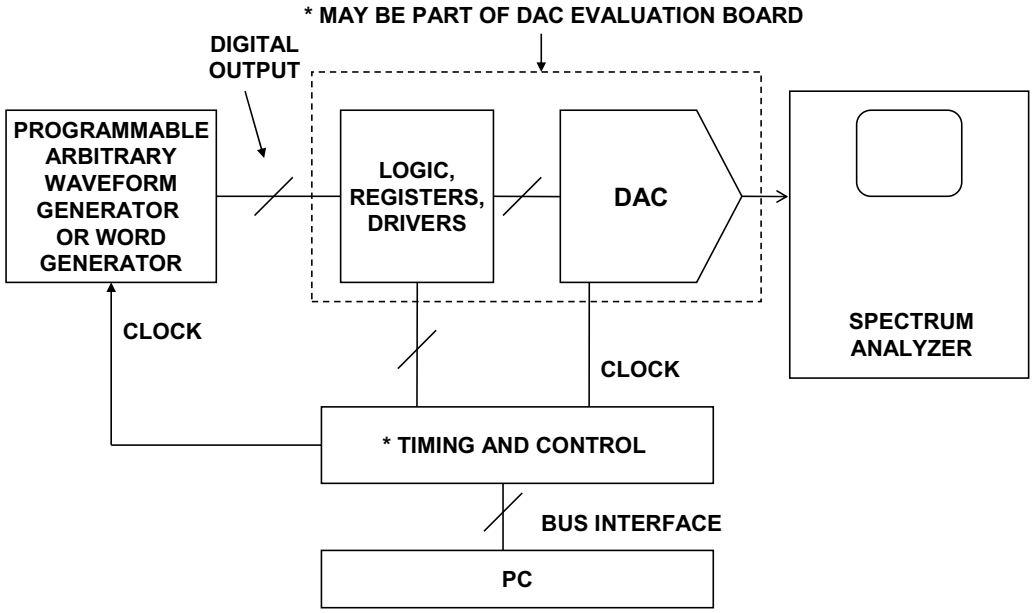


图5：用于测量DAC失真和噪声的测试设置

ADI公司及其他高性能DAC制造商提供评估板，这可以大大简化与测试设备的接口。许多通信DAC(如TxDAC®系列)具有相当多的片内控制逻辑，因此其评估板可以通过SPI、USB、并行或串行端口与PC实现接口，此外还可以通过Windows®兼容软件帮助设置DAC的各种选项和工作模式。

要测试作为直接数字频率合成(DDS)系统一部分的DAC相对较为简单，因为IC的DDS部分可以充当DAC的数字信号发生器。测试这些DAC时，一般只需要制造商的评估板、PC、稳定的时钟源和高性能频谱分析仪即可。

tyw藏书

选择用于测量DAC失真和噪声性能的频谱分析仪，其动态范围至少应比待测DAC高10 dB。频谱分析仪的“最大无交调范围”特性是反映其失真性能的有效指标(见参考文献7)。然而，频谱分析仪制造商可能会通过其它方式说明失真性能。现代通信DAC(如TxDAC®系列)要求使用高性能频谱分析仪，如Rhode & Schwartz FSEA30等(参考文献7)。

和示波器一样，频谱分析仪也必须对过驱不敏感。这可以通过下述方法轻松验证：施加一个对应于DAC满量程输出的信号，测量谐波失真产物的水平，然后将信号衰减6 dB左右，验证信号和谐波的降幅是否相同。如果谐波的降幅大于基波信号的降幅，则说明频谱分析仪造成信号失真。

某些情况下，只要在频谱分析仪的输入端串联一个阻带滤波器，用以消除待测基波信号的频率，那么过驱性能不甚理想的分析仪也可以使用。分析仪仅关注剩余的失真产物。只要测量失真时考虑到了阻带滤波器的衰减，这种技术一般都能够提供令人满意的结果。显然，对于每个受测的输出频率，都需要一个单独的阻带滤波器，因此多音测试会很麻烦。

最后需要说明的是，在通信、视频和音频应用中，有许多专用分析仪可供使用。视频领域广泛使用Tektronix VM-700和VM-5000系列(参考文献3)。测试用于音频应用的DAC性能时，最好使用专门为音频而设计的特殊信号分析仪。被业界奉为标准的音频分析仪是Audio Precision System Two(见参考文献8)。当然，还有许多其它专用分析仪可供选用，相比于通用型分析仪，这些分析仪可能更合适。此外，一般还有软件可用来产生具体应用所需的各种数字测试信号。

一旦选定适当的分析仪，各种失真和噪声相关特性(如SFDR、THD、SNR、SINAD等)的测量就比较简单。分析仪的分辨率带宽必须设置得足够低，以便能够解析高于本底噪声的谐波产物。图6所示为测量SFDR的典型频谱输出。

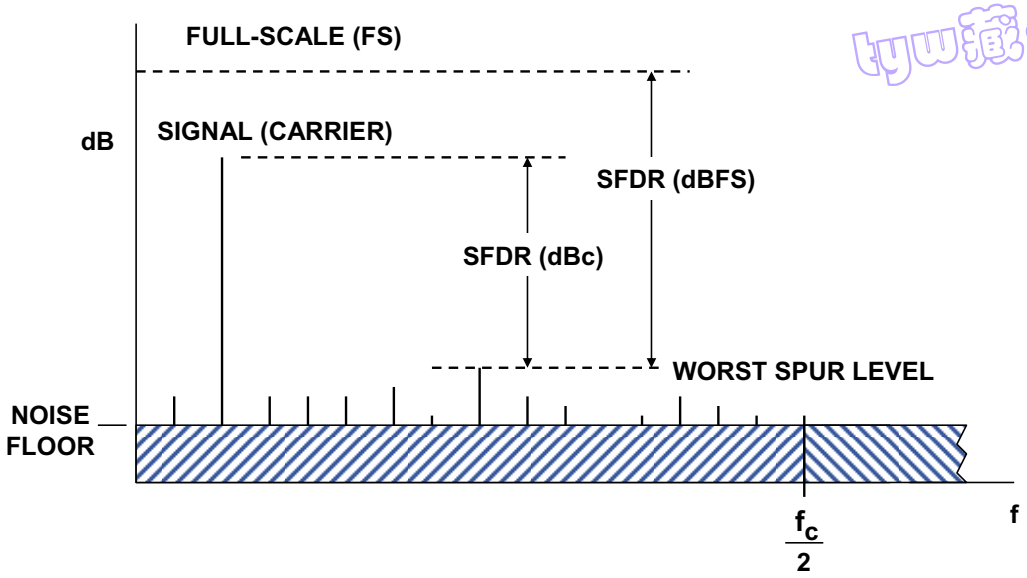


图6：测量DAC无杂散动态范围(SFDR)

图7显示如何利用频谱分析仪测量各种谐波失真成分。图中显示了前9次谐波。注意，混叠使得6次至10次谐波重新回到$f_c/2$奈奎斯特带宽内。

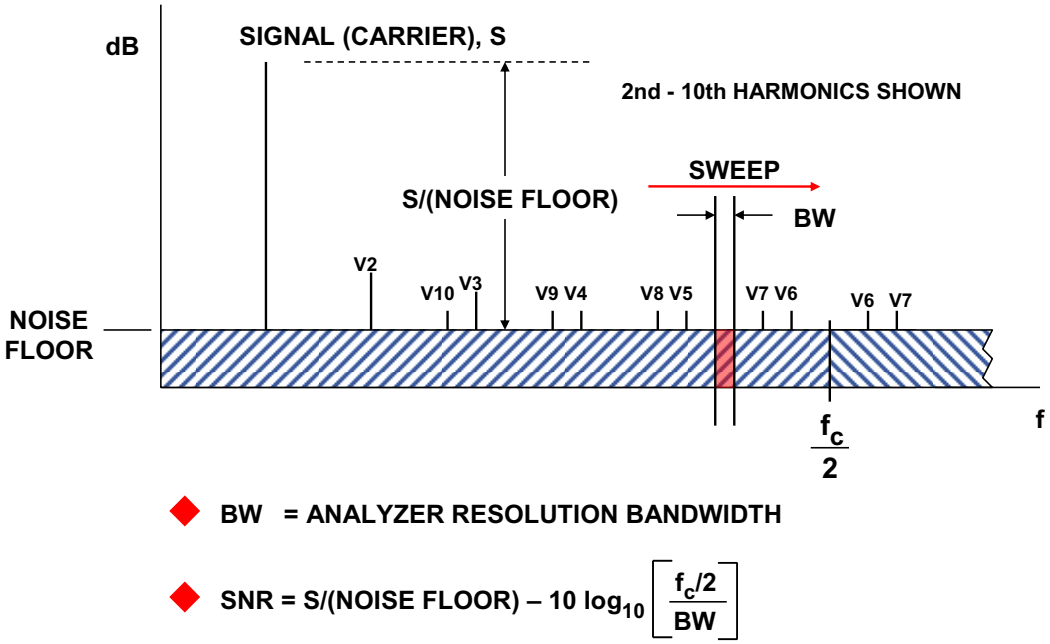


图7：利用模拟频谱分析仪测量DAC失真和信噪比

输入信号的谐波可以通过其在频谱中的位置与其它失真产物相区别。图8显示了一个以20 MSPS速率进行采样的7 MHz输入信号及前9次谐波的位置。f_o的混叠谐波处于$|\pm Kf_c \pm nf_o|$的频率位置，其中n为谐波的次数，K = 0, 1, 2, 3,....。数据手册一般仅说明二次和三次谐波，因为这些谐波往往是

最大的，但也有一些数据手册说明了最差谐波的值。ADI公司的设计中心网站提供了一款交互式谐波镜像计算器程序，它能显示二次和三次谐波的位置与输出频率和DAC更新速率的关系。此外，该工具还能显示sinx/x滚降和输出抗镜像滤波器的衰减效应。

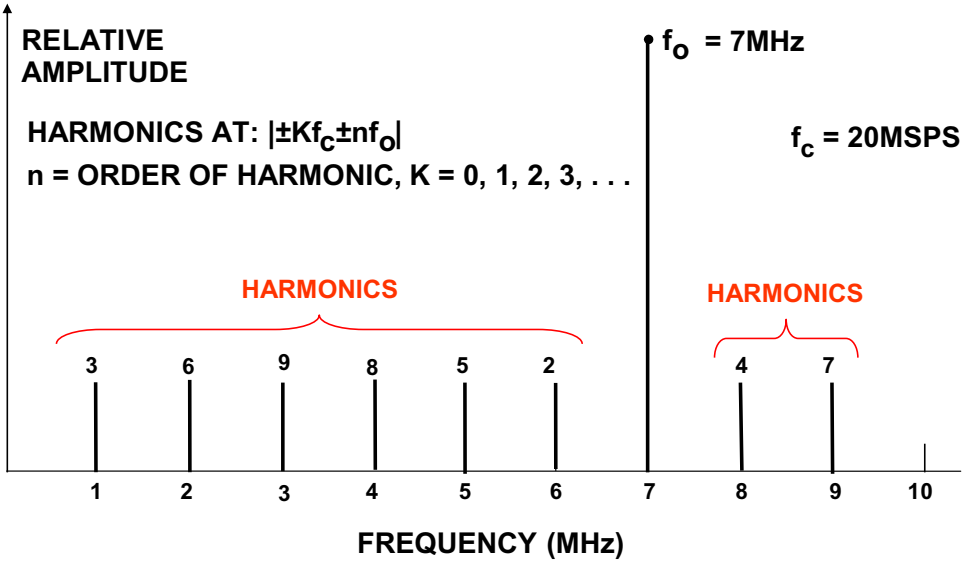


图8：前9次谐波产物的位置：输出信号 = 7 MHz，DAC更新速率 = 20 MSPS

DAC噪声

如果考虑适当的校正系数，则频谱分析仪也可以用来测量SNR。图7显示了分析仪的扫描带宽BW，它在大多数情况下明显小于$f_c/2$。首先，在频谱中相对无谐波的频率点，测量本底噪声水平相对于信号水平的值，这相当于图中的"S/(NOISE FLOOR)"值。DC至$f_c/2$带宽内的实际SNR等于S/(NOISE FLOOR)减去处理增益$10\log10(f_c/2{\cdot}BW)$。

$$SNR = S/(NOISE\ FLOOR) - 10\log_{10}(f_c/2{\cdot}BW). \qquad 公式2$$

为了获得精确的SNR结果，必须知道分析仪的确切带宽。制造商的文档中应当会给出分析仪的带宽特性。此外，如果分析仪中使用了任何信号均值技术，则这也可能影响净校正系数。

为了验证处理增益计算，可以禁用数个LSB；在这些条件下，DAC的SNR性能应接近理想值。例如，测量低失真、低噪声12、14或16位DAC的8位SNR时，其值应接近理论结果。利用公式SNR = 6.02N + 1.76 dB计算，理论8位SNR为50 dB。然后可以利用下式计算处理增益：

测量的精度应进行验证，方法是使能DAC的第9位，并确保分析仪的本底噪声降低6 dB。如果本底噪声没有降低6 dB，则应仅利用DAC的前6位重复测量。如果在6位水平下没有实现接近理论值的SNR性能，则受测DAC可能不适合注重噪声和失真性能的交流应用。

$$\text{PROCESS GAIN} = \text{S/(NOISE FLOOR)} - \text{SNR}. \qquad \text{公式3}$$

SINAD、SNR与THD之间的关系可以通过如下方法推导。THD是指信号与基波信号的指定数量谐波的方和根(rss)之比。IEEE标准1241-2000(参考文献9)建议应包括前10次谐波。不同制造商在计算中可能选择少于10次的谐波。例如，ADI公司使用前6次谐波(二次、三次、四次、五次和六次)的方和根来定义THD。实践中，利用10次谐波与利用6次谐波测得的THD仅相差数十分之一dB，除非失真量极大。各次谐波(V2至V6)相对于信号电平S测量，单位为dBc。然后将其转换为比值，以RSS方式求和，再转换回dB便获得THD。信纳比SINAD可以通过求取SNR与THD的RSS和来计算：

$$\text{SINAD} = 20\log_{10}\sqrt{\left(10^{-\text{SNR}/20}\right)^2 + \left(10^{-\text{THD}/20}\right)^2}. \qquad \text{公式4}$$

ADI公司的设计中心网站提供了一个SNR/THD/SINAD计算器程序，可以利用它来帮助进行换算。

为了获得精确的失真测量结果，最重要的考虑之一是应确保DAC输出f_o不是更新速率fc的次谐波频率。如果f_c/f_o为整数，则量化误差不是随机的，而是与输出频率相关。这将导致量化噪声能量集中在基波输出频率的谐波上，从而产生失真，但该失真是采样过程的伪像，而不是DAC的非线性效应。应当注意，评估ADC时也可能出现同样的伪像。

为了说明这一点，图9显示了一个理想12位DAC的仿真结果，其中9A显示的fc/f_o= 40时的输出频谱。注意SFDR约为77 dBc。右边的频谱输出(9B)显示的是f_c/f_o比值不是整数的情况，此时量化噪声是随机的，SFDR为93 dBc。

lyw藏书

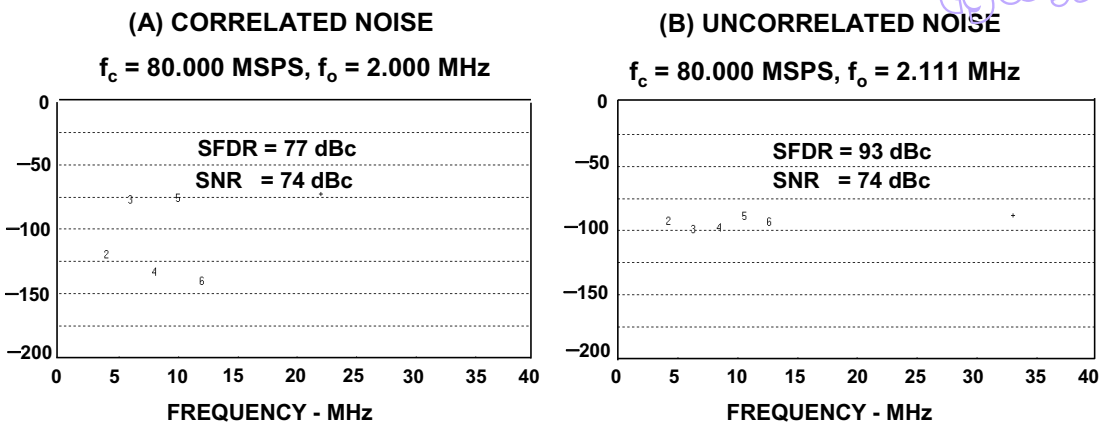


图9：理想12位DAC的相关(A)和非相关(B)量化噪声

由于可能的时钟和输出频率范围很广，针对特定的客户测试矢量，ADI公司提供关于TxDAC的特殊快速周转测量。利用这一重要的服务，系统设计师可以提前进行频率规划，确保具体应用具有最佳的失真性能。

DAC的SFDR性能常常不是用特定频率测量结果来表示，而是用固定时钟速率下SFDR与输出频率的关系曲线来表示。这一数据通常是在不同幅度的正弦波输出下获得的，例如图10所示的16位TxDAC AD9777。注意，该曲线不包括量化噪声与信号存在强相关性(即时钟频率与输出频率的比值是一个整数)的那些数据点。

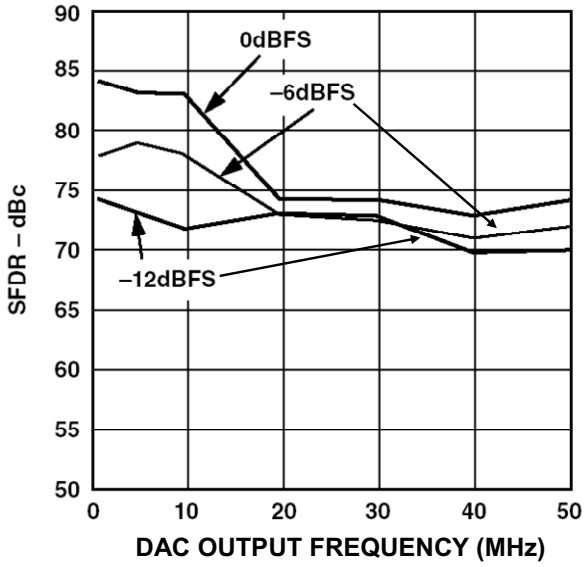


图10：AD9777 16位TxDAC™ SFDR，数据更新速率 = 160 MSPS

tyw藏书

还有一种有用的测试方法，其测量结果能够很好地反映DAC在不同的输出和时钟频率组合下的整体性能。具体而言，它需要测试输出频率f_o等于$f_c/3$和$f_c/4$时的失真。实践中，输出频率会稍稍偏移一个很小的量Δf，Δf是f_c的非整数分数，即$\Delta f = kf_c$，其中$k << 1$。当输出频率等于$f_c/3 - \Delta f$时，偶数次谐波以Δf为间隔，分布在基波输出频率f_o周围，如图11所示。在不同的时钟频率(最大值为允许的最高频率)下测量最差偶数次谐波，同时要保持上述比值不变。然后针对输出频率$f_c/4 - \Delta f$重复同样的程序，不过此时是奇数次谐波均匀分布在输出频率周围，如图12所示。

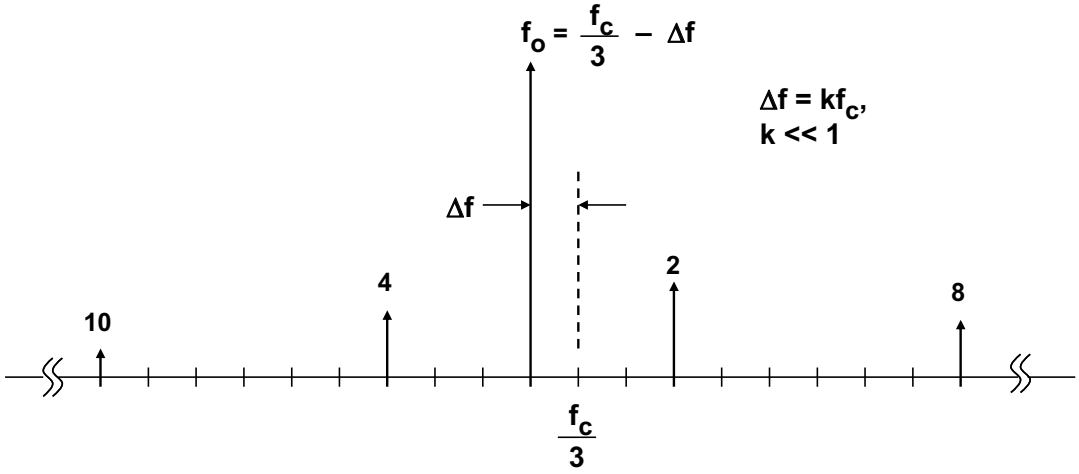


图11：偶数次谐波的位置：$f_o = f_c/3 - \Delta f$

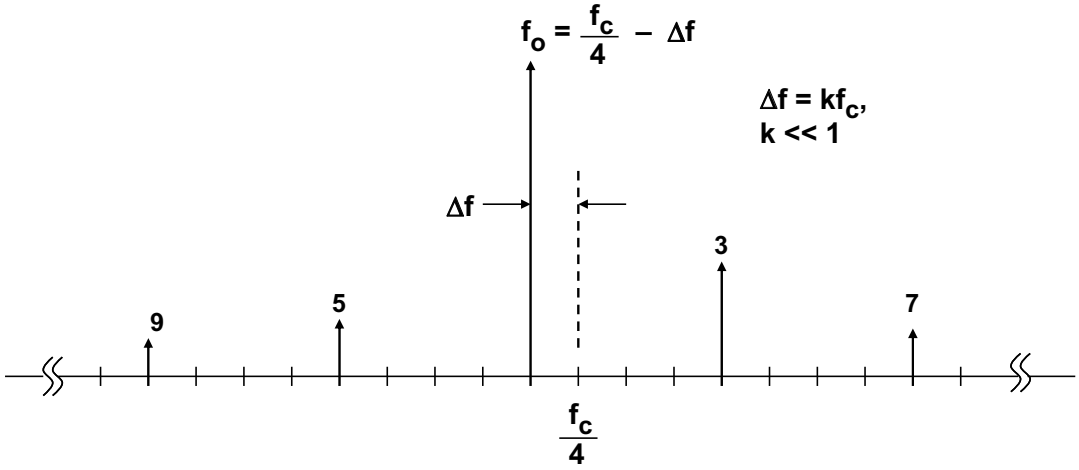


图12：奇数次谐波的位置：$f_o = f_c/4 - \Delta f$

tyw藏书

这些测量相对较为简单，因为一旦DDS或数字波形发生器确立f_o与f_c的比值，那么当主时钟频率改变时，该比值将保持不变。图13显示了一个低失真DAC在$f_c/3$和$f_c/4$两种输出频率下的SFDR与时钟频率的典型曲线。大多数情况下，$f_c/3$失真代表最差情况，可用于比较不同的DAC。

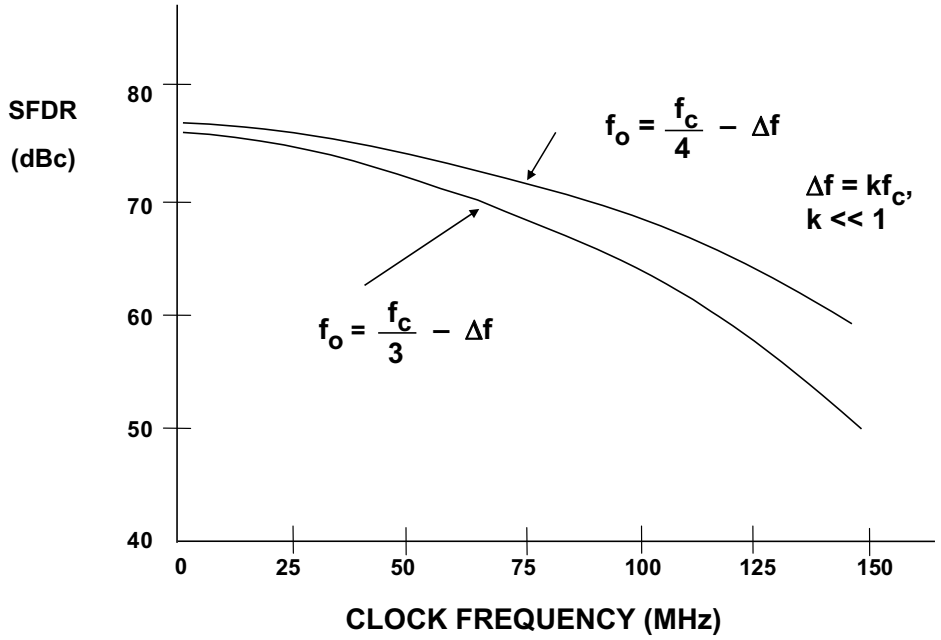


图13：最差谐波与时钟频率的关系：
$f_o = f_c/3 - \Delta f$和$f_o = f_c/4 - \Delta f$

DAC输出频谱和SIN(X)/X频率滚降

重构DAC的输出可以表示为一系列矩形脉冲，其宽度等于时钟速率的倒数，如图14所示。请注意，在奈奎斯特频率$f_c/2$，重构信号幅度降低3.92 dB。多数情况下，可以使用一个反sin(x)/x滤波器来补偿此效应，该滤波器一般是作为抗镜像滤波器的一部分进行设计的。基波信号的镜像作为采样函数的结果出现，并且也通过sin(x)/x函数衰减。

tyw藏书

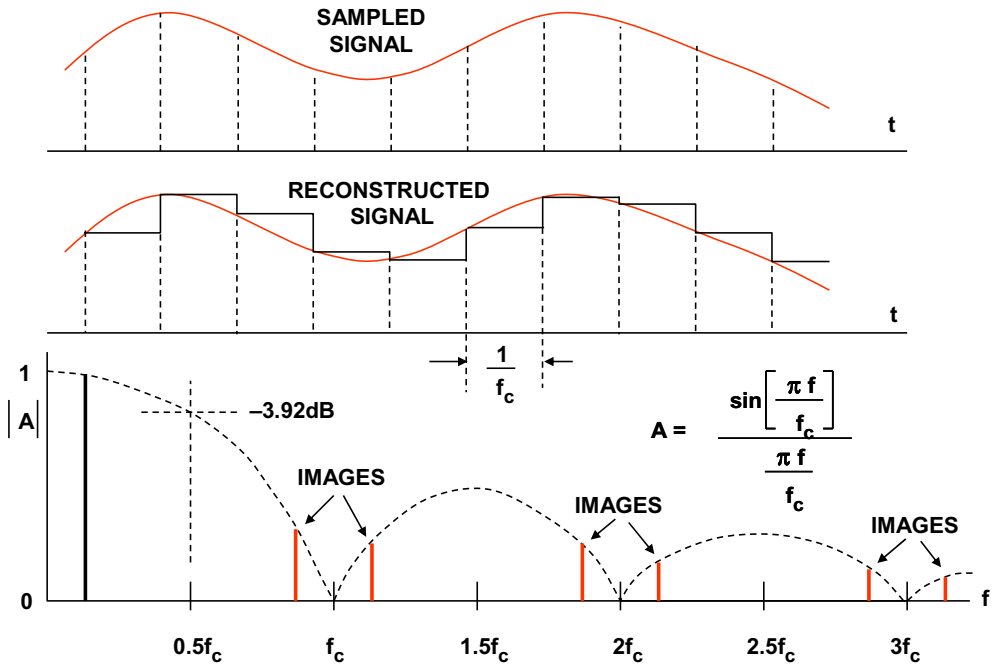


图14：DAC sin(x)/x滚降(幅度归一化)

如果不补偿sin(x)/x滚降，则在DAC输出端进行带宽测量时必须予以考虑。在DC至f_c/2的奈奎斯特带宽内，滚降对失真和SNR测量的影响可以忽略不计。

ADI公司的设计中心网站提供了一款交互式谐波镜像计算器程序，它能显示二次和三次谐波的位置与输出频率和DAC更新速率的关系。此外，该工具还能显示sin(x)/x滚降和输出抗镜像滤波器的衰减效应。

参考文献

tyw藏书

1. Jim R. Naylor, "Testing Digital/Analog and Analog/Digital Converters," *IEEE Transactions on Circuits and Systems*, Vol. CAS-25, July 1978, pp. 526-538.

2. Dan Sheingold, *Analog-Digital Conversion Handbook, 3rd Edition*, Analog Devices and Prentice-Hall, 1986, ISBN-0-13-032848-0. *(the defining and classic book on data conversion).*

3. Tektronix, Inc., 14200 SW Karl Braun Drive, P. O. Box 500, Beaverton, OR 97077, Phone: (800) 835-9433, http://www.tek.com. *(the website contains a wealth of information on oscilloscopes, measurement techniques, probing, etc., as well as complete specifications on products).*

4. Howard K. Schoenwetter, "High Accuracy Settling Time Measurements," *IEEE Transactions on Instrumentation and Measurement*, Vol. IM-32, No. 1, March 1983, pp. 22-27.

5. James R. Andrews, Barry A. Bell, Norris S. Nahman, and Eugene E. Baldwin, "Reference Waveform Flat Pulse Generator," *IEEE Transactions on Instrumentation and Measurement*, Vol. IM-32, No. 1, March 1983, pp. 27-32.

6. Barry Harvey, "Take the Guesswork out of Settling-Time Measurements," *EDN*, September 19 1985, pp. 177-189.

7. Rohde & Schwarz, Inc., 8661A Robert Fulton Dr., Columbia, MD 21046-2265, Phone: (410) 910-7800, http://www.rohde-schwarz.com. *(a premier manufacturer of spectrum analyzers, the website contains tutorials on frequency analysis as well as product specifications).*

8. Audio Precision, 5750 S.W. Arctic Drive, Beaverton, Oregon 97005, http://www.audioprecision.com. *(the recognized industry standard for professional audio measurement equipment).*

9. *IEEE Std. 1241-2000, IEEE Standard for Terminology and Test Methods for Analog-to-Digital Converters*, IEEE, 2001, ISBN 0-7381-2724-8.

10. Walt Kester, *Analog-Digital Conversion*, Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 2 and 5. Also available as *The Data Conversion Handbook*, Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 2 and 5.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.